

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-230332

(43)Date of publication of application : 24.08.2001

(51)Int.Cl.

H01L 21/8247  
H01L 27/115  
G11C 16/04  
H01L 29/788  
H01L 29/792

(21)Application number : 2000-269892

(71)Applicant : SONY CORP

(22)Date of filing : 01.09.2000

(72)Inventor : FUJIWARA ICHIRO

(30)Priority

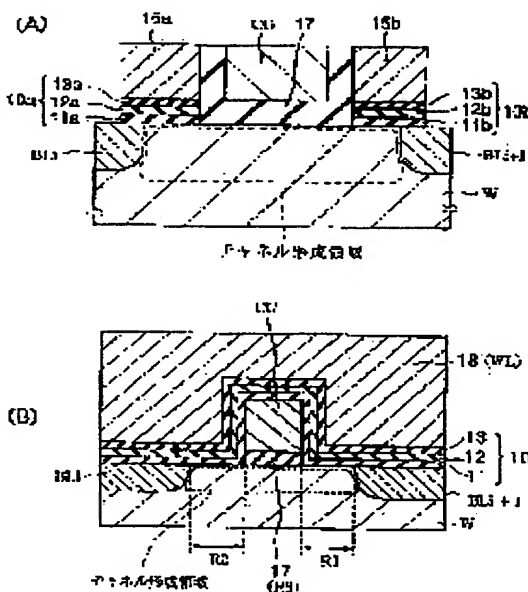
Priority number : 11346812 Priority date : 06.12.1999 Priority country : JP

## (54) NONVOLATILE SEMICONDUCTOR MEMORY AND ITS OPERATING METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the injection efficiency and locally inject charges in a part of distributed regions of charge storing means to store a plurality of bits in an MONOS type memory transistor.

**SOLUTION:** The memory comprises first conductivity type channel forming regions, second conductivity type source-drain regions (bit line BLi, BLi+1), gate insulation films 10a, 10b (or 10), 17 on the channel forming regions, gate electrodes 15a, 15b (or 18), CG, and charge storing means (charge traps) which are discretized in a plane facing the channel forming regions and in a film thickness direction and formed in the gate insulation films so that, in operation, hot electrons due to e.g. an inter-band tunnel current are injected from the source-drain regions. In the gate insulation film, a third region 17 (R3) having no charge storing means exists between a first memory area 10a (R1) and a second memory area 10b (R2) into which the hot electrons are injected locally.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-230332

(P2001-230332A)

(43) 公開日 平成13年8月24日 (2001.8.24)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト* (参考)	
H 0 1 L 21/8247		H 0 1 L 27/10	4 3 4	5 B 0 2 5
	27/115	G 1 1 C 17/00	6 2 1 Z	5 F 0 0 1
G 1 1 C 16/04			6 2 2	5 F 0 8 3
H 0 1 L 29/788		H 0 1 L 29/78	3 7 1	
	29/792			
審査請求 未請求 請求項の数40 O L (全 28 頁)				

(21) 出願番号 特願2000-269892(P2000-269892)  
(22) 出願日 平成12年9月1日(2000.9.1)  
(31) 優先権主張番号 特願平11-346812  
(32) 優先日 平成11年12月6日(1999.12.6)  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72) 発明者 藤原 一郎  
東京都品川区北品川6丁目7番35号 ソニー株式会社内  
(74) 代理人 100094053  
弁理士 佐藤 隆久

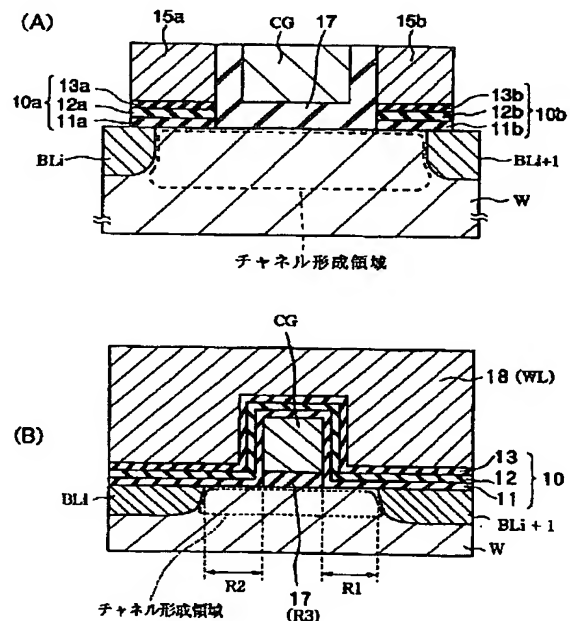
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置およびその動作方法

(57) 【要約】

【課題】 MONOS型メモリトランジスタにおいて、注入効率を上げ、また電荷蓄積手段の分布領域の一部に電荷を局所的に注入して複数ビットを記憶する。

【解決手段】 第1導電型のチャネル形成領域と、第2導電型のソース・ドレイン領域（ビット線BLi、BLi+1）と、チャネル形成領域上のゲート絶縁膜10aと10b（または10）および17、ゲート電極15aと15b（または18）およびCGと、チャネル形成領域に対向した面内および膜厚方向に離散化されてゲート絶縁膜内に形成され、動作時に、たとえばバンド間トンネル電流に起因したホットエレクトロンがソース・ドレイン領域から注入される電荷蓄積手段（電荷トラップ）とを有する。ゲート絶縁膜内で、局所的にホットエレクトロンが注入される第1記憶領域10a（R1）と第2記憶領域10b（R2）に挟まれて、電荷蓄積手段を有しない第3の領域17（R3）が存在する。



## 【特許請求の範囲】

【請求項 1】第 1 導電型半導体からなるチャネル形成領域と、

第 2 導電型半導体からなり上記チャネル形成領域を挟む 2 つのソース・ドレイン領域と、

上記チャネル形成領域上に設けられたゲート絶縁膜と、

上記ゲート絶縁膜上に設けられたゲート電極と、

上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時に

ホットエレクトロンが上記ソース・ドレイン領域から注入される電荷蓄積手段とを有する不揮発性半導体記憶装置。

【請求項 2】上記ホットエレクトロンは、バンド間トンネル電流に起因したホットエレクトロンである請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】上記ゲート絶縁膜は、上記ソース・ドレイン領域からホットエレクトロンが注入され保持される記憶領域と、ホットエレクトロンが注入されない他の領域とを有する請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】上記ゲート絶縁膜は、上記ソース・ドレイン領域の一方からホットエレクトロンが注入される第 1 記憶領域と、

上記ソース・ドレイン領域の他方からホットエレクトロンが注入される第 2 記憶領域と、

上記第 1、第 2 領域間に挟まれ、ホットエレクトロンが注入されない第 3 の領域とを有する請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】上記電荷蓄積手段が上記第 1、第 2 記憶領域に形成され、

上記電荷蓄積手段の分布領域が上記第 3 の領域を介して空間的に分離されている請求項 4 記載の不揮発性半導体記憶装置。

【請求項 6】上記第 1、第 2 記憶領域が複数の膜を積層した積層膜構造を有し、

上記第 3 の領域が単一材料の絶縁膜からなる請求項 5 記載の不揮発性半導体記憶装置。

【請求項 7】上記ゲート電極が、上記第 1 記憶領域上に形成された第 1 ゲート電極と、

上記第 2 記憶領域上に形成された第 2 ゲート電極と、

上記第 3 の領域上に形成された第 3 ゲート電極とを有し、

上記第 1、第 2 および第 3 ゲート電極が空間的に分離されている請求項 5 記載の不揮発性半導体記憶装置。

【請求項 8】上記チャネル形成領域は、2 つのメモリトランジスタのチャネル形成領域と、その間の 1 つのコントロールトランジスタのチャネル形成領域とが連結してなる請求項 7 記載の不揮発性半導体記憶装置。

【請求項 9】上記チャネル形成領域、上記ソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタがワード方向とビット方向に複

数配置され、

ワード方向の上記複数のメモリトランジスタ内で、上記第 1、第 2 ゲート電極がワード線により共通接続され、ビット方向の上記複数のメモリトランジスタ内で、上記第 3 ゲート電極が共通接続されている請求項 7 記載の不揮発性半導体記憶装置。

【請求項 10】上記第 1、第 2 記憶領域および上記第 3 の領域上の単一の上記ゲート電極に対しそれぞれ空間的に分離した、上記第 1 記憶領域外側のゲート電極および上記第 2 記憶領域外側のゲート電極をさらに有した請求項 4 記載の不揮発性半導体記憶装置。

【請求項 11】上記チャネル形成領域、上記ソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタのゲート長が、上記ソース・ドレイン領域双方からホットエレクトロンを注入したとき、一方の上記ソース・ドレイン領域から注入されたホットエレクトロンの保持領域と他方の上記ソース・ドレイン領域から注入されたホットエレクトロンの保持領域との少なくとも一部が上記ゲート絶縁膜内で合体するゲート長以下である請求項 1 記載の不揮発性半導体記憶装置。

【請求項 12】上記第 1 導電型が n 型であり、上記第 2 導電型が p 型である請求項 1 記載の不揮発性半導体記憶装置。

【請求項 13】上記チャネル形成領域、上記 2 つのソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタが、ワード方向とビット方向とに複数配置され、

複数のワード線と、  
当該複数のワード線と電気的に絶縁された状態でそれぞれ交差する複数の共通線とを更に有し、

上記複数のワード線それぞれに、複数の上記ゲート電極が接続され、

上記複数の共通線それぞれに、複数の上記ソース・ドレイン領域が結合されている請求項 1 記載の不揮発性半導体記憶装置。

【請求項 14】上記ゲート電極をワード方向で共通に接続するワード線と、

上記 2 つのソース・ドレイン領域の一方をビット方向で共通に接続する第 1 共通線と、

他方の上記ソース・ドレイン領域を共通に接続する第 2 共通線とを有する請求項 13 記載の不揮発性半導体記憶装置。

【請求項 15】上記第 1 共通線が、上記一方のソース・ドレイン領域をビット方向で共通に接続する第 1 副線と、上記第 1 副線をビット方向で共通に接続する第 1 主線とから構成され、

上記第 2 共通線が、上記他方のソース・ドレイン領域を共通に接続する第 2 副線と、上記第 2 副線を共通に接続する第 2 主線とから構成され、

10

20

30

40

50

上記第1副線と上記第2副線との間に、上記複数のメモリトランジスタが並列接続されている請求項14記載の不揮発性半導体記憶装置。

【請求項16】上記チャネル形成領域、上記ソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタがワード方向とビット方向に複数配置され、

上記2つのソース・ドレイン領域が第2導電型不純物が添加された半導体からなり、

1つの上記メモリトランジスタの上記ソース・ドレイン領域の一方と、ワード方向に隣接する他の上記メモリトランジスタの上記ソース・ドレイン領域の他方との間に素子分離絶縁層を有した請求項1記載の不揮発性半導体記憶装置。

【請求項17】上記電荷蓄積手段は、すくなくとも外部との間で電荷の移動がない場合に、上記チャネル形成領域に対向する面全体としての導電性を持たない請求項1記載の不揮発性半導体記憶装置。

【請求項18】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、  
当該ボトム絶縁膜上の窒化膜または酸化窒化膜とを含む請求項17記載の不揮発性半導体記憶装置。

【請求項19】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、  
上記電荷蓄積手段としてボトム絶縁膜上に形成され互いに絶縁された小粒導電体とを含む請求項17記載の不揮発性半導体記憶装置。

【請求項20】第1導電型半導体からなるチャネル形成領域と、  
第2導電型半導体からなり上記チャネル形成領域を挟む2つのソース・ドレイン領域と、  
上記チャネル形成領域上に設けられ、上記チャネル形成領域に対向した面内および膜厚方向に離散化された電荷蓄積手段を内部に含むゲート絶縁膜と、  
当該ゲート絶縁膜上に設けられたゲート電極とを有する不揮発性半導体記憶装置の動作方法であって、  
書き込み時に、ホットエレクトロンを上記ソース・ドレイン領域から上記電荷蓄積手段に注入する不揮発性半導体記憶装置の動作方法。

【請求項21】書き込み時に、バンド間トンネル電流に起因したホットエレクトロンを上記ソース・ドレイン領域から上記電荷蓄積手段に注入する請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項22】書き込み時に、上記ゲート絶縁膜内における上記電荷蓄積手段の分布領域の一部にホットエレクトロンを注入する請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項23】書き込み時に、一方の上記ソース・ドレイン領域から上記ゲート絶縁膜の第1記憶領域に上記ホットエレクトロンを注入し、

上記第1記憶領域へのホットエレクトロン注入と独立に、他方の上記ソース・ドレイン領域から上記ゲート絶縁膜内で上記第1記憶領域と離れた第2記憶領域にホットエレクトロンを注入する請求項21記載の不揮発性半導体記憶装置の動作方法。

【請求項24】上記ゲート絶縁膜は、上記第1、第2記憶領域間にホットエレクトロンが注入されない第3の領域を有し、

上記電荷蓄積手段が上記第1、第2記憶領域に形成され、

電荷蓄積手段の分布領域が上記第3の領域を介して空間的に分離されている請求項23記載の不揮発性半導体記憶装置の動作方法。

【請求項25】上記第1、第2記憶領域が複数の膜を積層した積層膜構造を有し、

上記第3の領域が単一材料の絶縁膜からなる請求項24記載の不揮発性半導体記憶装置の動作方法。

【請求項26】上記一方のソース・ドレイン領域から注入されたホットエレクトロンの保持領域と、上記他方のソース・ドレイン領域から注入されたホットエレクトロンの保持領域との少なくとも一部が、上記ゲート絶縁膜内で合体する請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項27】上記チャネル形成領域、上記2つのソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタのゲート長が、上記2つのホットエレクトロン保持領域の少なくとも一部で合体が起こるゲート長以下である請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項28】書き込み時に、上記ソース・ドレイン領域と上記ゲート電極との間に所定の書き込み電圧を印加する請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項29】上記チャネル形成領域、上記2つのソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタの上記ゲート絶縁膜が、一方の上記ソース・ドレイン領域からホットエレクトロンが注入される第1記憶領域、他方の上記ソース・ドレイン領域からホットエレクトロンが注入される第2記憶領域、および上記第1、第2記憶領域間でホットエレクトロンが注入されない第3の領域からなり、  
上記メモリトランジスタの上記ゲート電極が、上記第1記憶領域上の第1ゲート電極、上記第2記憶領域上の第2ゲート電極、および上記第3の領域上の第3ゲート電極からなり、

上記メモリトランジスタがワード方向とビット方向とに複数配置されているメモリセルアレイに対する書き込みにおいて、

上記第1、第2記憶領域の一方に書き込むときは、他方側の上記第1、第2ゲート電極を電氣的にフローティン

グ状態とするか、または上記チャネル形成領域に対し0 Vあるいは逆極性の電圧を上記他方側の第1または第2ゲート電極に印加する請求項28記載の不揮発性半導体記憶装置の動作方法。

【請求項30】上記チャネル形成領域、上記2つのソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタがワード方向とビット方向とに複数配置され、ワード方向の複数のメモリトランジスタごとに上記ゲート電極がワード線により共通に接続されているメモリセルアレイに対する書き込みにおいて、動作対象のメモリトランジスタが接続されていない非選択ワード線に0 V、あるいは上記チャネル形成領域に対し逆極性のバイアス電圧を印加する請求項28記載の不揮発性半導体記憶装置の動作方法。

【請求項31】上記チャネル形成領域、上記2つのソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタがワード方向とビット方向とに複数配置され、ビット方向の複数のメモリトランジスタごとに一方の上記ソース・ドレイン領域が第1共通線により接続され、他方の上記ソース・ドレイン領域が第2共通線により接続されているメモリセルアレイに対する書き込みにおいて、

動作対象のメモリトランジスタが接続された第1および/または第2共通線に所定の電圧を印加し、動作対象のメモリトランジスタが接続されていない第1および第2共通線に0 Vまたは上記所定電圧と逆極性の電圧を印加する請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項32】上記チャネル形成領域、上記2つのソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタがワード方向とビット方向とに複数配置され、ワード方向の複数のメモリトランジスタごとに上記ゲート電極がワード線により共通に接続されているメモリセルアレイに対する書き込みにおいて、

同一ワード線に接続した全てのメモリトランジスタについて、ホットエレクトロンを注入する上記第1、第2記憶領域に対応した全ての上記ソース・ドレイン領域に所定の電圧を印加し、

ホットエレクトロンの注入を行わない他の上記第1、第2記憶領域に対応した上記ソース・ドレイン領域を電氣的フローティング状態とし、

上記同一ワード線に、上記ソース・ドレイン領域に印加する上記所定電圧との差が所定の書き込み電圧となる電圧を印加し、

上記同一ワード線に接続した全てのメモリトランジスタについての書き込みを1回の動作で並列に行う請求項23記載の不揮発性半導体記憶装置の動作方法。

【請求項33】上記2つのソース・ドレイン領域が第2導電型不純物が添加された半導体からなり、

上記メモリセルアレイは、1つの上記メモリトランジスタの上記ソース・ドレイン領域の一方と、ワード方向に隣接する他の上記メモリトランジスタの上記ソース・ドレイン領域の他方との間に素子分離絶縁層を有した請求項32記載の不揮発性半導体記憶装置の動作方法。

【請求項34】上記チャネル形成領域、上記2つのソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタの上記ゲート絶縁膜が、一方の上記ソース・ドレイン領域からホットエレクトロンが注入される第1記憶領域、他方の上記ソース・ドレイン領域からホットエレクトロンが注入される第2記憶領域、および上記第1、第2記憶領域間でホットエレクトロンが注入されない第3の領域からなり、上記メモリトランジスタの上記ゲート電極が、上記第1記憶領域上の第1ゲート電極、上記第2記憶領域上の第2ゲート電極、および上記第3の領域上の第3ゲート電極からなる上記不揮発性半導体記憶装置の読み出し時に、

読み出し対象の記憶領域側がソースとなるように上記2つのソース・ドレイン領域間に所定の読み出しドレイン電圧を印加し、

上記第3ゲート電極に所定の電圧を印加し、上記第1ゲート電極および/または上記第2ゲート電極に、上記第3ゲート電極の印加電圧と同じ極性の所定の読み出しゲート電圧を印加する請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項35】消去時に、上記ソース・ドレイン領域から注入され上記電荷蓄積手段に保持されているエレクトロンを、直接トンネル効果またはFNトンネル効果を用いて上記ソース・ドレイン領域側に引き抜く請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項36】消去時に、上記ソース・ドレイン領域から注入され上記電荷蓄積手段にチャネル方向の両側に離れて保持されているエレクトロンを、直接トンネル効果またはFNトンネル効果を用いて個別にあるいは一括して基板側に引き抜く請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項37】上記第1導電型がn型であり、上記第2導電型がp型である請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項38】上記電荷蓄積手段は、すくなくとも外部との間で電荷の移動がない場合に、上記チャネル形成領域に対向する面全体としての導電性を持たない請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項39】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、当該ボトム絶縁膜上の窒化膜または酸化窒化膜とを含む請求項38記載の不揮発性半導体記憶装置の動作方法。

【請求項40】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、

上記電荷蓄積手段としてボトム絶縁膜上に形成され互いに絶縁された小粒径導電体とを含む請求項38記載の不揮発性半導体記憶装置の動作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリトランジスタのチャネル形成領域とゲート電極との間のゲート絶縁膜の内部に、平面的に離散化された電荷蓄積手段（例えば、MONOS型やMNOS型における窒化膜内の電荷トラップ、トップ絶縁膜と窒化膜との界面近傍の電荷トラップ、或いは小粒径導電体等）を有し、当該電荷蓄積手段に対し電荷を電氣的に注入して蓄積し又は引き抜くことを基本動作とする不揮発性半導体記憶装置と、その動作方法とに関する。

【0002】

【従来の技術】不揮発性半導体メモリは、大容量で小型の情報記録媒体として期待されているが、近年、情報ネットワークの広帯域化とともにネットワークの伝送速度（たとえば搬送波周波数：100MHz）と同等の書き込み速度が要求されるようになってきている。このため、不揮発性半導体メモリに対し、スケーリング性が良好で従来の100μs/セルの書き込み速度より1桁またはそれ以上の書き込み速度の向上が要求されている。

【0003】不揮発性半導体メモリは、電荷を保持する電荷蓄積手段（浮遊ゲート）が平面的に連続したFG（Floating Gate）型のはかに、電荷蓄積手段が平面的に離散化された、例えばMONOS（Metal-Oxide-Nitride-Oxide Semiconductor）型などがある。

【0004】MONOS型不揮発性半導体メモリでは、電荷保持を主体的に担っている窒化膜（ $\text{SixNy}$ （ $0 < x < 1$ 、 $0 < y < 1$ ））膜中またはトップ酸化膜と窒化膜との界面のキャリアトラップが空間的に（即ち、面方向および膜厚方向に）離散化して拡がっているために、電荷保持特性が、トンネル絶縁膜（ボトム絶縁膜）厚のはかに、 $\text{SixNy}$ 膜中のキャリアトラップに捕獲される電荷のエネルギー的および空間的な分布に依存する。

【0005】このトンネル絶縁膜に局所的にリーク電流バスが発生した場合、FG型では多くの電荷がリークバスを通してリークして電荷保持特性が低下しやすいのに対し、MONOS型では、電荷蓄積手段が空間的に離散化されているため、リークバス周辺の局所的な電荷がリークバスを通して局所的にリークするに過ぎず、記憶素子全体の電荷保持特性が低下しにくい。このため、MONOS型においては、トンネル絶縁膜の薄膜化による電荷保持特性の低下の問題はFG型ほど深刻ではない。したがって、ゲート長が極めて短い微細メモリトランジスタにおけるトンネル絶縁膜のスケーリング性は、MONOS型の方がFG型よりも優れている。また、平面的に離散化したキャリアトラップの分布平面に対し電荷が局

所的に注入された場合、その電荷はFG型のように平面内および膜厚方向に拡散することなく保持される。

【0006】MONOS型不揮発性メモリで微細メモリセルを実現するにはディスタープ特性の改善が重要であり、そのためにはトンネル絶縁膜を通常の膜厚（1.6nm～2.0nm）より厚く設定する必要が生じている。トンネル絶縁膜を比較的厚膜化した場合、書き込み速度は0.1～10ms程度で未だ十分でない。つまり、従来のMONOS型等の不揮発性メモリでは、信頼性（たとえば、データ保持特性、リードディスタープ特性あるいはデータ書換え特性など）を十分に満足させた場合、書き込み速度は100μsが限界である。

【0007】書き込み速度だけを考えると高速化も可能であるが、今度は信頼性および低電圧化が十分にできない。たとえば、チャネルホットエレクトロン（CHE）をソース側から注入するソースサイド注入型MONOSトランジスタが報告されたが（IEEE Electron Device Letter 19, 1998, pp153）、このソースサイド注入型MONOSトランジスタでは、動作電圧が書き込み時1.2V、消去時1.4Vと高いうえ、リードディスタープ特性およびデータ書換え特性などの信頼性が十分でない。

【0008】その一方、従来のCHE注入方式によって電荷を離散的なトラップの一部に注入することに着目して、電荷蓄積手段のソース側とドレイン側に独立に2値情報を書き込むことにより1メモリセルあたり2ビットを記録可能な技術が報告された。たとえば“Extended Abstract of the 1999 International Conference on Solid State Devices and Materials, Tokyo, 1999, pp.522-523”では、ソースとドレイン間の電圧印加方向を入れ換えて2ビット情報をCHE注入により書き込み、読み出し時には、書き込み時と逆方向に所定電圧をソースとドレイン間に印加する、いわゆる“リバースリード”方法によって書き込み時間が短く蓄積電荷量が少ない場合でも2ビット情報を確実に読み出すことを可能としている。また、消去はホットホール注入によって行っている。この技術によって、書き込み時間の高速化とビットコストの大幅な低減が可能となった。

【0009】さらに、最近になって、2ビット/セルの記憶が可能なスプリットゲート型のMONOS型不揮発性メモリが提案された（“Twin MONOS Cell with Dual Control Gates”, 2000 Symposium on VLSI Technology Digest of Technical Papers, pp122-123）。このMONOS型不揮発性メモリでは、スプリットゲート構造を採用することにより、ゲート電極以外にコントロールゲート電極を設け、書き込みの高速化等を試みている。この書き込みの原理は、基本的にチャネルホットエレクトロン（CHE）注入であり、ドレイン周辺の不純物濃度をチャネル中央部と比較して相対的に高くすることにより、ホットエレクトロンの注入効率を大幅に改善している。

【0010】

【発明が解決しようとする課題】ところが、この従来のCHE注入タイプのMONOS型または2ビット／セル記憶が可能なMONOS型不揮発性メモリでは、チャンネル内を電子を加速して高エネルギー電子（ホットエレクトロン）を発生させることから、ソースとドレイン間に酸化膜のバリア3. 2 eVより大きな電圧、実際には4. 5 V程度の電圧印加が必要であり、このソース・ドレイン間電圧を低減することは困難である。このため、書き込み時におけるパンチスルー効果が制限となってゲート長のスケールアップが難しいという課題がある。

【0011】また、CHE注入方式では、電荷蓄積手段への電荷注入効率が $1 \times 10^{-6}$  ～  $1 \times 10^{-5}$  程度と低いため、書き込み時に数百 $\mu$ Aの電流を必要とし、その結果、一括して並列書き込み可能なメモリセル数を大きくできないという課題もある。これに対し、最近発表されたスプリットゲート型のセルでは、書き込み時の電流を10  $\mu$ A／セルと低減しているが、周辺部のチャージポンプ回路の電流制限により1 kビット以上のメモリセルを並列に書き込むことは難しい。

【0012】また、これら3つのCHE注入方式のセルでは、メモリトランジスタのチャンネルに電流を流して書き込みを行うため、前記した2ビット記録を目的としてドレイン側とソース側に同時に書き込みを行うことができないという課題がある。

【0013】さらに、前記した2ビット記録可能なメモリセルおよびスプリットゲート型のメモリセルでは、局所的な消去を行う必要性からソースまたはドレイン側からホットホールを、FNトンネルリングまたはバンド間トンネル電流を利用して注入する消去方法が採用されている。この消去方法では、ホットホールの通過による酸化膜質の劣化が懸念されるため、信頼性、とくにデータ書き換え特性の低下は避けられない。このため、従来のMONOS型の不揮発性メモリでは、ホットホールを用いた消去を行う限り、ボトム酸化膜厚の最適化による性能向上は望めない。

【0014】本発明の目的は、MONOS型など平面的に離散化されたキャリアトラップ等の電荷蓄積手段に電荷を蓄積させて基本動作するメモリトランジスタにおいて、とくに電荷蓄積手段の分布領域の一部に対し電荷を注入して複数ビットを記憶する際に、パンチスルーを抑制しながら少ない電流で極めて高速に書き込みができ、かつ、ゲート長およびゲート絶縁膜厚のスケールアップ性が良好な不揮発性半導体記憶装置と、その動作方法を提供することである。

【0015】

【課題を解決するための手段】本発明の第1の観点に係る不揮発性半導体記憶装置は、第1導電型半導体からなるチャンネル形成領域と、第2導電型半導体からなり上記チャンネル形成領域を挟む2つのソース・ドレイン領域

と、上記チャンネル形成領域上に設けられたゲート絶縁膜と、上記ゲート絶縁膜上に設けられたゲート電極と、上記チャンネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時にホットエレクトロンが上記ソース・ドレイン領域から注入される電荷蓄積手段とを有する。上記ホットエレクトロンは、バンド間トンネル電流に起因したホットエレクトロンである。

【0016】本発明では1メモリセル当たりの記憶ビット数は、2ビット／セル、1ビット／セルの何れでもよい。前者の場合、上記ゲート絶縁膜は、好適に、上記ソース・ドレイン領域からホットエレクトロンが注入され保持される記憶領域と、ホットエレクトロンが注入されない他の領域とを有する。

【0017】あるいは、上記ゲート絶縁膜は、上記ソース・ドレイン領域の一方からホットエレクトロンが注入される第1記憶領域と、上記ソース・ドレイン領域の他方からホットエレクトロンが注入される第2記憶領域と、上記第1、第2領域間に挟まれ、ホットエレクトロンが注入されない第3の領域とを有する。この場合、好適に、上記電荷蓄積手段が上記第1、第2記憶領域に形成され、上記電荷蓄積手段の分布領域が上記第3の領域を介して空間的に分離されている。また、好適に、上記第1、第2記憶領域が複数の膜を積層した積層膜構造を有し、上記第3の領域が単一材料の絶縁膜からなる。

【0018】この場合、ゲート電極は、単一のゲート電極でもよいが、たとえば、上記ゲート電極が、上記第1記憶領域上に形成された第1ゲート電極と、上記第2記憶領域上に形成された第2ゲート電極と、上記第3の領域上に形成された第3ゲート電極とを有し、上記第1、第2および第3ゲート電極が空間的に分離されている。なお、製造プロセスを簡略化するために、第3のゲート電極を単一の絶縁膜上に形成し、第3のゲート電極の表面および第3のゲート電極両側のチャンネル形成領域部分に接して複数の膜からなる電荷保持膜を形成し、この電荷保持膜上にゲート電極を形成することにより、第1、第2のゲート電極を単一のゲート電極から構成してもよい。何れの場合でも、上記チャンネル形成領域は、2つのメモリトランジスタのチャンネル形成領域と、その間の1つのコントロールトランジスタのチャンネル形成領域とが連結してなる。具体的に、上記チャンネル形成領域、上記ソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタがワード方向とビット方向に複数配置され、ワード方向の上記複数のメモリトランジスタ内で、上記第1、第2ゲート電極がワード線により共通接続され、ビット方向の上記複数のメモリトランジスタ内で、上記第3ゲート電極が共通接続されている。上記第1、第2記憶領域および上記第3の領域上に単一のゲート電極を有した構成でもよい。この場合、ゲート電極に対しそれぞれ空間的に分離した、上記



第1記憶領域外側のゲート電極および上記第2記憶領域外側のゲート電極をさらに有する。

【0019】1ビット／セル記憶の場合、好適に、上記チャネル形成領域、上記ソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタのゲート長が、上記ソース・ドレイン領域双方からホットエレクトロンを注入したとき、一方の上記ソース・ドレイン領域から注入されたホットエレクトロンの保持領域と他方の上記ソース・ドレイン領域から注入されたホットエレクトロンの保持領域との少なくとも一部が上記ゲート絶縁膜内で合体するゲート長以下である。

【0020】この不揮発性半導体記憶装置では、分離ソース線型、仮想接地線型など、ソース・ドレイン領域の一方に接続された共通線と、ソース・ドレイン領域の他方に接続された共通線とが独立に制御可能なNOR型メモリセル方式が好適である。分離ソース線型では、ソース・ドレイン領域の一方が接続された共通線を第1共通線、ソース・ドレイン領域の他方が接続された共通線を第2共通線という。その場合、第1および第2共通線がそれぞれ階層化されていてもよい。いわゆるAND型では、メモリブロック内の内部接続線としての第1および第2副線に対しメモリトランジスタが並列接続されている。

【0021】本発明の第2の観点に係る不揮発性半導体記憶装置の動作方法は、第1導電型半導体からなるチャネル形成領域と、第2導電型半導体からなり上記チャネル形成領域を挟む2つのソース・ドレイン領域と、上記チャネル形成領域上に設けられ、上記チャネル形成領域に対向した面内および膜厚方向に離散化された電荷蓄積手段を内部に含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極とを有する不揮発性半導体記憶装置の動作方法であって、書き込み時に、ホットエレクトロンを上記ソース・ドレイン領域から上記電荷蓄積手段に注入する。書き込み時に、好適に、バンド間トンネル電流に起因したホットエレクトロンを上記ソース・ドレイン領域から上記電荷蓄積手段に注入する。

【0022】この動作方法においても、2ビット／セル記憶の場合と、1ビット／セル記憶の場合がある。2ビット／セル記憶の場合、好適に、書き込み時に、上記ゲート絶縁膜内における上記電荷蓄積手段の分布領域の一部にホットエレクトロンを注入する。すなわち、一方の上記ソース・ドレイン領域から上記ゲート絶縁膜の第1記憶領域に上記ホットエレクトロンを注入し、上記第1記憶領域へのホットエレクトロン注入と独立に、他方の上記ソース・ドレイン領域から上記ゲート絶縁膜内で上記第1記憶領域と離れた第2記憶領域にホットエレクトロンを注入する。このとき、好適に、上記ゲート絶縁膜は、上記第1、第2記憶領域間にホットエレクトロンが注入されない第3の領域を有し、この第3の領域を介して、上記電荷蓄積手段の分布領域が上記空間的に分離さ

れている。1ビット／セル記憶の場合、上記一方のソース・ドレイン領域から注入されたホットエレクトロンの保持領域と、上記他方のソース・ドレイン領域から注入されたホットエレクトロンの保持領域との少なくとも一部が、上記ゲート絶縁膜内で合体する。具体的に、たとえば、上記チャネル形成領域、上記ソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタのゲート長が、上記2つのホットエレクトロンの保持領域の少なくとも一部で合体が起こるゲート長以下である。

【0023】本発明では、書き込み時に、上記ソース・ドレイン領域と上記ゲート電極との間に所定の書き込み電圧を印加する。前記したようにゲート電極が第1～第3ゲート電極からなる場合、上記メモリトランジスタがワード方向とビット方向とに複数配置されているメモリセルアレイに対する書き込みにおいて、好適に、上記第1、第2記憶領域の一方に書き込むときは、他方側の上記第1、第2ゲート電極を電氣的にフローティング状態とするか、または上記チャネル形成領域に対し0Vあるいは逆極性の電圧を上記他方側の第1または第2ゲート電極に印加する。また、上記チャネル形成領域、上記ソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタがワード方向とビット方向とに複数配置され、ワード方向の複数のメモリトランジスタごとに上記ゲート電極がワード線により共通に接続されているメモリセルアレイに対する書き込みにおいて、好適に、動作対象のメモリトランジスタが接続されていない非選択ワード線に0V、あるいは上記チャネル形成領域に対し逆極性のバイアス電圧を印加する。

【0024】一方、上記チャネル形成領域、上記ソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタがワード方向とビット方向とに複数配置され、ビット方向の複数のメモリトランジスタごとに上記ソース・ドレイン領域の一方が第1共通線により接続され、上記ソース・ドレイン領域の他方が第2共通線により接続されているメモリセルアレイに対する書き込みにおいて、好適に、動作対象のメモリトランジスタが接続されている第1および／または第2共通線に所定の電圧を印加し、動作対象のメモリトランジスタが接続されていない第1および第2共通線に0Vまたは上記所定電圧と逆極性の電圧を印加する。

【0025】本発明では、上記ソース・ドレイン領域がワード方向のセル間で分離している場合（分離ソース線NOR型）、あるいは、上記ソース・ドレイン領域がワード方向のセル間で共通の場合（バーチャルグランド（VG）型）でも第1記憶領域上の第1ゲート電極と第2領域上の第2ゲート電極が分離している場合に、同一ワード線に接続されたメモリセルを1回の動作で一括して書き込みできる。すなわち、上記チャネル形成領域、上記ソース・ドレイン領域、上記ゲート絶縁膜および上

10

20

30

40

50



記ゲート電極を有したメモリトランジスタがワード方向とビット方向とに複数配置され、ワード方向の複数のメモリトランジスタごとに上記ゲート電極がワード線により共通に接続されているメモリセルアレイに対する書き込みにおいて、好適に、同一ワード線に接続した全てのメモリトランジスタについて、ホットエレクトロンを注入する上記第1、第2記憶領域に対応した全ての上記ソース・ドレイン領域に所定の電圧を印加し、ホットエレクトロンの注入を行わない他の上記第1、第2記憶領域に対応した上記ソース・ドレイン領域を電氣的フローティング状態とし、上記同一ワード線に、上記ソース・ドレイン領域に印加する上記所定電圧との差が所定の書き込み電圧となる電圧を印加し、上記同一ワード線に接続した全てのメモリトランジスタについての書き込みを1回の動作で並列に行う。この場合、書き込みに要する電流は $1\text{ nA/セル}$ と、従来のCHE注入書き込み方法に対して十分に低くなるため、 $10\text{ k}$ ビット以上の書き込みを並列に行うことができる。

【0026】前記したゲート電極が第1～第3ゲート電極からなる場合の読み出しでは、好適に、読み出し対象の記憶領域側がソースとなるように上記2つのソース・ドレイン領域間に所定の読み出しドレイン電圧を印加し、上記第3ゲート電極に所定の電圧を印加し、上記第1ゲート電極および/または上記第2ゲート電極に、上記第3ゲート電極の印加電圧と同じ極性の所定の読み出しゲート電圧を印加する。

【0027】消去時に、好適に、上記ソース・ドレイン領域から注入され上記電荷蓄積手段に保持されているエレクトロンを、直接トンネル効果またはFNトンネル効果を用いて上記ソース・ドレイン領域側に引き抜く。あるいは、上記ソース・ドレイン領域から注入され上記電荷蓄積手段にチャネル方向の両側に離れて保持されているエレクトロンを、直接トンネル効果またはFNトンネル効果を用いて個別にあるいは一括して基板側に引き抜く。

【0028】この不揮発性半導体記憶装置およびその動作方法は、電荷蓄積手段がチャネル形成領域に対向した面内および膜厚方向に離散化された、たとえばMONOS型、いわゆるナノ結晶などの小粒径導電体を有する微細粒子型などに好適である。

【0029】この不揮発性半導体記憶装置およびその動作方法では、2ビット/セルの書き込みでは、たとえばバンド間トンネル電流に起因したホットエレクトロンを、ソース・ドレイン領域から電荷蓄積手段に注入する。より詳しくは、ソース・ドレイン領域がp型不純物領域からなるとすると、ゲート電極(第1、第2ゲート電極)への正バイアスの印加によって、ソース・ドレイン領域の表面部がn化して反転層が形成される。したがって、pn接合に高いバイアス電圧が印加され、これにより反転層部分でエネルギーバンドの曲がり急峻とな

る。p型不純物領域表面の深い空乏化が進むと、その部分では実効的なバンドギャップが減少しているため、価電子帯と伝導帯間でバンド間トンネル電流が発生する。バンド間トンネルした電子は、電界加速によりホットエレクトロンとなるが、その運動量(大きさと方向)が維持されて酸化膜のエネルギー障壁より高いエネルギーを持つために、当該エネルギー障壁を越えて電荷蓄積手段に局所的に注入される。すなわち、一方のソース・ドレイン領域と第1ゲート電極間の電圧を大きくするとホットエレクトロンが電荷蓄積手段の第1記憶領域に注入されて保持され、他方のソース・ドレイン領域と第2ゲート電極間の電圧を大きくするとホットエレクトロンが電荷蓄積手段の第2記憶領域に注入されて保持される。電荷蓄積手段の第1、第2記憶領域間には、ホットエレクトロンが注入されない第3の領域が介在するので、この2ビット情報に対応した電荷は確実に峻別される。このとき、バンド間トンネル電流に起因したホットエレクトロンは、たとえば $1 \times 10^{-2} \sim 1 \times 10^{-7}$ 程度の高い効率で電荷蓄積手段に注入される。このため、1ビット当たりの書き込み電流が、従来のCHE注入方式の $1/10^4$ 以下に低減できる。この場合、 $10\text{ k}$ 個以上のメモリトランジスタに並列書き込みが可能となり、一括して書き込み可能なメモリセル数(書き込みのバンド幅)が増大する。また、同一ワード線に接続されたメモリトランジスタ(1ページ)を1回の動作で書き込み可能となる。前記した2ビット/セルの書き込み方法では、2つのソース・ドレイン領域のうちオープンとしないで書き込み電圧を印加した側に書き込みが行われる。したがって、読み出し時には、この書き込み電圧を印加した側のソース・ドレイン領域がソースとなるように読み出しドレイン電圧を印加する。このとき、2つのソース・ドレイン領域のうち高電圧側の蓄積電荷の有無はピンチオフ効果によりチャネル電界に殆ど影響せず、低電圧側の蓄積電荷の有無の影響をうけてチャネル電界が変化する。このため、当該メモリトランジスタのしきい値電圧は、低電圧側の蓄積電荷の有無を反映したものとなる。

【0030】また、2ビット/セル書き込みに最適なメモリトランジスタ構造としては、たとえば電荷蓄積手段(キャリアトラップ等)を含むゲート絶縁膜をチャネル方向両側に第1、第2記憶領域に分離して、その間の第3の領域には電荷蓄積手段を含まない単一材料の絶縁膜とする。この場合、中央の第3の領域部分がMOS構造のコントロールトランジスタとして機能する。この構造では、コントロールトランジスタのしきい値電圧を予め一定の範囲に制御しておくことで、一定の電流で読み出しが行える。すなわち、pチャネル型のメモリセルを仮定すると、コントロールトランジスタがない場合、書き込み時にエレクトロンの注入が過剰に行われメモリトランジスタのしきい値電圧が大きく低下すると、読み出し時の電流量がばらつく上、電流消費も無駄が多い。とこ

ろが、本発明ではMOS構造のコントロールトランジスタが存在するため、メモリトランジスタのしきい値電圧が大きく低下し読み出し電流が増大しようとする、コントロールトランジスタがカットオフし、リミッタとして機能する。このため、このメモリセルではコントロールトランジスタのしきい値電圧により読み出し電流の上限が制御でき、無駄な電流消費がない。

【0031】また、1ビット／セルの書き込みでは、2つのソース・ドレイン領域双方から書き込みを行うことができる。その場合、ソース・ドレイン領域からの電荷注入箇所はそれぞれ局所的であるが、ソース・ドレイン領域の設計において注入部分の面積を大きくするように最適化することにより、ゲート長がたとえば100nm以下と短い場合、電荷蓄積手段の分布面内で、一方のソース・ドレイン領域側からの電荷注入領域と、他方のソース・ドレイン領域側からの電荷注入領域が中央で少なくとも一部が合体し、ほぼ全面に対し電荷注入が行われる。このため、当該メモリトランジスタのしきい値電圧が大きく低下する。このような書き込みでは、電荷蓄積手段分布面内のほぼ全域に電荷が注入されることから、必要なしきい値電圧変化を得るための書き込み時間は、たとえば10μs以下と、従来の並列書き込みが可能なメモリセルと比較して1桁以上短くなる。

【0032】消去時には、たとえばソース・ドレイン領域に正電圧を印加し、ソース側またはドレイン側の蓄積電荷を直接トンネル効果またはFNTトンネル効果を用いて基板側に引く抜く。何れのトンネル効果を用いても、ブロッカー一括消去が可能である。本発明では、基本的にスプリットゲート型のメモリセルと同様のオペレーションが可能であるため、過剰消去または過剰書き込みがされ難い。

【0033】

【発明の実施の形態】第1実施形態

図1に、第1実施形態に係る不揮発性メモリ装置の要部回路構成を示す。図2に、NOR型メモリセルアレイの平面図を、図3に図2のB-B'線に沿った断面側から見た鳥瞰図を示す。

【0034】この不揮発性メモリ装置では、ビット線（第1共通線）が主ビット線（第1主線）と副ビット線（第1副線）に階層化され、ソース線（第2共通線）が主ソース線（第2主線）と副ソース線（第2副線）に階層化されている。主ビット線MBL1にセレクトトランジスタS11を介して副ビット線SBL1が接続され、主ビット線MBL2にセレクトトランジスタS21を介して副ビット線SBL2が接続されている。また、主ソース線MSL1にセレクトトランジスタS12を介して副ソース線SSL1が接続され、主ソース線MSL2にセレクトトランジスタS22を介して副ソース線SSL2が接続されている。

【0035】副ビット線SBL1と副ソース線SSL1

との間に、メモリトランジスタM11～M1n（たとえば、n=64）が並列接続され、副ビット線SBL2と副ソース線SSL2との間に、メモリトランジスタM21～M2nが並列接続されている。この互いに並列に接続されたn個のメモリトランジスタと、2つのセレクトトランジスタ（S11とS12、又は、S21とS22）とにより、メモリセルアレイを構成する単位ブロックが構成される。

【0036】ワード方向に隣接するメモリトランジスタM11、M21、…の各ゲートがワード線WL1に接続されている。同様に、メモリトランジスタM12、M22、…の各ゲートがワード線WL2に接続され、また、メモリトランジスタM1n、M2n、…の各ゲートがワード線WLnに接続されている。ワード方向に隣接するセレクトトランジスタS11、…は選択線SG11により制御され、セレクトトランジスタS21、…は選択線SG21により制御される。同様に、ワード方向に隣接するセレクトトランジスタS12、…は選択線SG12により制御され、セレクトトランジスタS22、…は選択線SG22により制御される。

【0037】この微細NOR型セルアレイでは、図3に示すように、半導体基板SUBの表面にnウエルWが形成されている。nウエルWは、トレンチに絶縁物を埋め込んでなり平行ストライプ状に配置された素子分離絶縁層ISOにより、ワード方向に絶縁分離されている。

【0038】素子分離絶縁層ISOにより分離された各nウエル部分が、メモリトランジスタの能動領域となる。能動領域内の幅方向両側で、互いの距離をおいた平行ストライプ状にp型不純物が高濃度に導入され、これにより、本発明の“ソース・ドレイン領域”をなす副ビット線SBL1、SBL2（以下、SBLと表記）および副ソース線SSL1、SSL2（以下、SSLと表記）が形成されている。副ビット線SBLおよび副ソース線SSL上に絶縁膜を介して直交して、各ワード線WL1、WL2、WL3、WL4、…（以下、WLと表記）が等間隔に配線されている。これらのワード線WLは、内部に電荷蓄積手段を含む絶縁膜を介してpウエルW上および素子分離絶縁層ISO上に接している。副ビット線SBLと副ソース線SSLとの間のnウエルWの部分と、各ワード線WLとの交差部分がメモリトランジスタのチャネル形成領域となり、そのチャネル形成領域に接する副ビット線部分がドレイン、副ソース線部分がソースとして機能する。

【0039】ワード線WLの上面および側壁は、オフセット絶縁層およびサイドウォール絶縁層（本例では、通常の層間絶縁層でも可）により覆われている。これら絶縁層には、所定間隔で副ビット線SBLに達するビットコンタクトBCと、副ソース線SSLに達するソースコンタクトSCとが形成されている。これらのコンタクトBC、SCは、たとえば、ビット方向のメモリトランジ

10

20

30

40

50

スタ64個ごとに設けられている。また、絶縁層上を、ビットコンタクトBC上に接触する主ビット線MBL1, MBL2, … (以下、MBLと表記) と、ソースコンタクトSC上に接触する主ソース線MSL1, MSL2, … (以下、MSLと表記) が交互に、平行ストライプ状に形成されている。

【0040】この微細NOR型セルアレイは、第1共通線(ビット線)および第2共通線(ソース線)が階層化され、メモリセルごとにビットコンタクトBCおよびソースコンタクトSCを形成する必要がない。したがって、コンタクト抵抗自体のバラツキは基本的でない。ビットコンタクトBCおよびソースコンタクトSCは、たとえば64個のメモリセルごとに設けられるが、このブラグ形成を自己整合的に行わないときは、オフセット絶縁層およびサイドウォール絶縁層は必要ない。すなわち、通常の層間絶縁層を厚く堆積してメモリトランジスタを埋め込んだ後、通常のフォトリソグラフィとエッチングによりコンタクトを開く。

【0041】副線(副ビット線、副ソース線)を不純物領域で構成した疑似コンタクトレス構造として無駄な空間が殆どないことから、各層の形成をウエハプロセス限界の最小線幅Fで行った場合、 $8F^2$ に近い非常に小さいセル面積で製造できる。さらに、ビット線とソース線が階層化されており、セレクトトランジスタS11又はS21が非選択の単位ブロックにおける並列メモリトランジスタ群を主ビット線MBL1またはMBL2から切り離すため、主ビット線の容量が著しく低減され、高速化、低消費電力化に有利である。また、セレクトトランジスタS12またはS22の働きで、副ソース線を主ソース線から切り離して、低容量化することができる。なお、更なる高速化のためには、副ビット線SBLおよび副ソース線SSLをシリサイドを張りつけた不純物領域で形成し、主ビット線MBLおよび主ソース線MSLをメタル配線とするとよい。

【0042】図4に、メモリトランジスタのワード方向の拡大断面図を示す。図4において、副ビット線SBLと副ソース線SSLとの間に挟まれ、ワード線WLが交差する部分が、当該メモリトランジスタのチャネル形成領域となる。

【0043】チャネル形成領域上には、ゲート絶縁膜10を介してメモリトランジスタのゲート電極(ワード線WL)が積層されている。ワード線WLは、一般に、p型またはn型の不純物が高濃度に導入されて導電化されたポリシリコン(doped poly-Si)、又はdoped poly-Siと高融点金属シリサイドとの積層膜からなる。このワード線WLの実効部分、すなわちソース・ドレイン間距離に相当するチャネル方向の長さ(ゲート長)は、0.1  $\mu\text{m}$ 以下、たとえば80nm~90nm程度である。

【0044】本実施形態におけるゲート絶縁膜10は、下層から順に、ボトム絶縁膜11、窒化膜12、トップ

絶縁膜13から構成されている。ボトム絶縁膜11は、たとえば、酸化膜を形成し、これを窒化処理して用いる。ボトム絶縁膜11の膜厚は、使用用途に応じて2.5nmから6.0nmの範囲内で決めることができ、ここでは2.7nm~3.5nmに設定されている。

【0045】窒化膜12は、たとえば6.0nmの窒化シリコン( $\text{Si}_x\text{N}_y$  ( $0 < x < 1$ ,  $0 < y < 1$ ))膜から構成されている。この窒化膜12は、たとえば減圧CVD(LP-CVD)により作製され、膜中にキャリアトラップが多く含まれている。窒化膜12は、フレンケルプール型(FP型)の電気伝導性を示す。

【0046】トップ絶縁膜13は、窒化膜12との界面近傍に深いキャリアトラップを高密度に形成する必要があり、このため、例えば成膜後の窒化膜を熱酸化して形成される。トップ絶縁膜13をHTO(High Temperature chemical vapor deposited Oxide)法により形成した $\text{SiO}_2$ 膜としてもよい。トップ絶縁膜13がCVDで形成された場合は熱処理によりこのトラップが形成される。トップ絶縁膜13の膜厚は、ゲート電極(ワード線WL)からのホールの注入を有効に阻止してデータ書換可能な回数の低下防止を図るために、最低でも3.0nm、好ましくは3.5nm以上が必要である。

【0047】このような構成のメモリトランジスタの製造においては、まず、用意した半導体基板SUBに対し素子分離絶縁層ISOおよびnウエルWを形成した後、副ビット線SBLおよび副ソース線SSLとなる不純物領域をイオン注入法により形成する。また、しきい値電圧調整用のイオン注入等を必要に応じて行う。

【0048】つぎに、半導体基板SUB上にゲート絶縁膜10を成膜する。具体的に、たとえば、短時間高温熱処理法(RTO法)により1000℃、10sの熱処理を行い、酸化シリコン膜(ボトム絶縁膜11)を形成する。つぎに、ボトム絶縁膜11上にLP-CVD法により窒化シリコン膜(窒化膜12)を、最終膜厚が6nmとなるように、これより厚めに堆積する。このCVDは、たとえば、ジクロロシラン(DCS)とアンモニアを混合したガスを用い、基板温度730℃で行う。形成した窒化シリコン膜表面を熱酸化法により酸化して、たとえば3.5nmの酸化シリコン膜(トップ絶縁膜13)を形成する。この熱酸化は、たとえば、 $\text{H}_2\text{O}$ 雰囲気中で炉温度950℃で40分程度行う。これにより、トラップレベル(窒化シリコン膜の伝導帯からのエネルギー差)が2.0eV以下の程度の深いキャリアトラップが約 $1 \sim 2 \times 10^{13}/\text{cm}^2$ の密度で形成される。また、窒化膜12が1nmに対し熱酸化シリコン膜(トップ絶縁膜13)が1.5nm形成され、この割合で下地の窒化膜厚が減少し、窒化膜12の最終膜厚が6nmとなる。

【0049】ゲート電極(ワード線WL)となる導電膜とオフセット絶縁層(不図示)との積層膜を積層させ、

この積層膜を一括して同一パターンにて加工する。続いて、サイドウォール絶縁層とともに自己整合コンタクトを形成し、自己整合コンタクトにより表出する副ビット線SBLおよび副ソース線SSL上に、ビットコンタクトBCおよびソースコンタクトSCを形成する。その後、これらプラグ周囲を層間絶縁膜で埋め込み、層間絶縁膜上に主ビット線MBLおよび主ソース線MSLを形成した後、必要に応じて行う層間絶縁層を介した上層配線の形成およびオーバーコート成膜とパッド開口工程等を経て、当該不揮発性メモリセルアレイを完成させる。

【0050】つぎに、このような構成の不揮発性メモリのバイアス設定例および動作について、メモリトランジスタM11にデータを書き込む場合を例に説明する。図5は、書き込み時のバイアス設定条件を示す回路図、図6は読み出し時のバイアス設定条件を示す回路図、図7は消去時のバイアス設定条件を示す回路図である。また、図8は書き込み動作を示す素子断面図、図9は消去動作を示す素子断面図である。

【0051】書き込み時に、図5に示すように、選択ワード線WL1に所定の正電圧、例えば6.0Vを印加する。選択主ビット線MBL1、選択主ソース線MSL1および選択線SG11、SG12に所定の正電圧、たとえば-5.0Vを印加する。また、非選択ワード線WL2〜WL<sub>n</sub>に所定の書き込み禁止電圧、たとえば0Vを印加し、非選択主ビット線MBL2、非選択主ソース線MSL2および基板(nウェルW)に0Vを印加する。このとき、選択線SG21、SG22を、電源電圧V<sub>cc</sub>で保持する。これにより、選択副ビット線SBL1および選択副ソース線SSL1に-5Vが伝達され、非選択副ビット線SBL2および非選択副ソース線SSL2に0Vが伝達される。

【0052】この書き込み条件下、書き込み対象のメモリトランジスタM11において、選択ワード線WL1に印加された正電圧により、副ビット線SBL1および副ソース線SSL1をなすp型不純物領域の表面が深い空乏状態となり、エネルギーバンドの曲がり急峻となる。このときバンド間トンネル効果により電子が価電子帯より伝導帯にトンネルし、p型不純物領域側に流れる。発生した電子は、チャンネル形成領域の中央部側に若干ドリフトして、そこで電界加速され、その一部がホット電子となる。このp型不純物領域端で発生した高エネルギー電荷(ホット電子)は、その運動量(方向と大きさ)を維持しながら殆ど運動エネルギーを失うことなく効率よく、しかも高速に電荷蓄積手段であるキャリトラップに注入される。

【0053】副ビット線SBL1をなすp型不純物領域からの電荷注入、副ソース線SSL1をなすp型不純物領域からの電荷注入は、それぞれ局所的である。ところが、本実施形態におけるメモリトランジスタのゲート長が100nm以下と短いため、図8に示すように、電荷

蓄積手段の分布面内で、SBL側からの電荷注入領域14aと、SSL側からの電荷注入領域14bが中央で合体し、ほぼチャンネル形成領域全面に対し電子注入が行われる。このため、当該メモリトランジスタM11のしきい値電圧が大きく低下し、書き込みがなされる。すなわち、本実施形態では、ゲート長が短いほど、電荷蓄積手段のチャンネルに対向した全面に効率的に電子が注入される。

【0054】一方、同じブロック内の非選択メモリトランジスタM12、…では、ゲートとソースまたはドレインとの間に5Vしか電圧がかからない。また、他のブロック内の非選択メモリトランジスタM21、M22、…では、ゲートとソースまたはドレインとの間に0Vまたは6V程度しか電圧がかからない。したがって、電荷蓄積手段に電子が注入されず、有効に書き込みが禁止される。

【0055】この書き込み方法では、電荷の電界加速方向と注入方向がほぼ一致するため、従来のCHE注入方式より電荷の注入効率が高い。また、チャンネル自体は形成せずに書き込みを行うため、電流消費が少なくてすむ。ホール電流自体は小さいが、このように電荷蓄積手段分布面内のほぼ全域に電荷が注入されることから、必要なしきい値電圧変化を得るための書き込み時間は、たとえば10μs以下と従来より1桁以上短くなる。

【0056】以上の書き込み動作では、書き込みをすべき選択セルを含むブロックと、書き込みを禁止すべきブロックをバイアス条件により設定した。本実施形態では、全てのブロックを選択し、ワード線WL1に連なるセルを一括してページ書き込みすることができる。その際、上記した注入効率の改善によってビット当たりの書き込み電流が桁違いに小さくなり、従来のCHE注入方式では1バイト(B)程度であった一括並列書き込み可能なセル数が、本実施形態では1キロバイト(kB)以上と格段に大きくなる。

【0057】読み出しでは、ページ読み出しを基本とする。図6に示すように、主ビット線MBL1、MBL12、…を接地した状態で、主ソース線に所定の負電圧、たとえば-1.0Vを印加する。また、非選択ワード線WL2、WL3、…に所定の読み出し禁止電圧、たとえば0Vを印加し、主ビット線MBL1、MBL2、および基板(nウェルW)に0Vを印加する。また、全ての選択線SG11、SG21、SG12、SG22を電源電圧V<sub>cc</sub>で保持する。この状態で、読み出し対象のワード線WL1に所定の読み出しワード線電圧、たとえば-2.0Vを印加する。これにより、ワード線WL1に接続されたメモリトランジスタM11、M21、…が書き込み状態に応じてオンまたはオフする。すなわち、電荷蓄積手段に電子が蓄積されていない消去状態のメモリトランジスタはチャンネルが形成され、電荷蓄積手段に電子が蓄積された書き込み状態のメモリトランジスタではチ

21

ャネルが形成されない。そして、メモリトランジスタがオンした場合のみ主ビット線電圧が変化する。この電圧変化を図示しないセンスアンプ等で増幅して読み出す。

【0058】消去は、チャネル全面から、FNTトンネリングまたは直接トンネリングを用いて電子を注入することにより行う。たとえば電荷蓄積手段に保持された電子をチャネル全面から直接トンネリングを用いて全ブロックを一括消去する場合、図7に示すように、全てのワード線WL1, WL2, ...に-5V、全ての主ビット線MBL1, MBL2、全ての主ソース線MSL1, MSL2および基板(nウェルW)に5Vを印加する。このとき、全ての選択線SG11, SG21, SG12, SG22を電源電圧V<sub>cc</sub>で保持する。

【0059】これにより、図9に示すように、電荷蓄積手段であるキャリアトラップに保持されていた電子が基板側にチャネル全面から引き抜かれ、しきい値電圧が上昇して消去が行われる。この電子引き抜きによる消去は10ms程度まで低減でき、従来の直接トンネル効果によるホール注入消去時間の典型値100msに比べ1桁以上改善された。また、従来のホール注入による消去では、書き込みに比べ電荷がボトム絶縁膜を通過する時間が長いこと絶縁膜質の劣化が懸念されるが、本発明では、消去はとくに電子引き抜きを用いるため、信頼性が高い。

【0060】第1実施形態に係りゲート長が90nm程度と短いメモリトランジスタに対し、ソース・ドレイン両側からホットエレクトロンの局所注入を行った場合、十分なしきい値電圧の低下が得られることが分かった。このため、ゲート長を90nmと短くすることでエレクトロン注入領域が電荷蓄積手段のチャネル対向面全域に及ぶことが、しきい値電圧の低下に大きく寄与していると推測される。以上より、ゲート長が90nmのMONOSトランジスタで、書き込み速度10μsが達成された。

【0061】書き込み状態、消去状態のメモリトランジスタの電流-電圧特性について検討した。この結果、ドレイン電圧-1.0Vでの非選択セルからのオフリーク電流値は、約1nAと小さかった。この場合の読み出し電流は10μA以上であるため、非選択セルの誤読み出しが生じることはない。したがって、ゲート長90nmのMONOS型メモリトランジスタにおいて読み出し時のパンチスルー耐圧のマージンは十分あることが分かった。また、リードディスターブ特性も評価したが、3×10<sup>8</sup>s以上時間経過後でも読み出しが可能であることが分かった。

【0062】データ書き換え回数は、キャリアトラップが離散化されているため良好で、1×10<sup>6</sup>回を満足することが分かった。また、データ保持特性は、1×10<sup>6</sup>回のデータ書き換え後で85℃、10年を満足した。以上より、ゲート長90nmのMONOS型不揮発性メ

22

モリトランジスタとして十分な特性が得られていることを確かめることができた。

【0063】第1実施形態に係る不揮発性メモリ装置では、前記したように、バンド間トンネル起因ホットエレクトロン電流による書き込みを行うため注入効率がCHE注入と比較して2～3桁改善され、高速書き込みが可能である。また、ホットホール注入ではなく、電子の引き抜きにより消去を行うため、ホール注入消去による絶縁膜質の劣化が抑制される。

#### 【0064】第2実施形態

第2実施形態では、ゲート絶縁膜内の電荷蓄積手段の分布領域の一部に書き込みを行う場合、また、書き込み時にビット線および/またはソース線を選択することにより1回で2ビット/セルの書き込みを行う場合に関する。第2実施形態に係る不揮発性メモリ装置は、メモリセルアレイ構造および素子構造は第1実施形態と同様であり、本実施形態においても図1～図4が適用される。ただし、本実施形態においては、図4に示す構造のメモリトランジスタのゲート長が、第1実施形態の場合より長く、0.25μm以下、たとえば0.18μmである。また、図5～図7のバイアス条件を示す図も、下記のように一部の設定条件の変更があるが、基本的には適用される。

【0065】図10に、本実施形態に係るMONOS型メモリトランジスタにおいて、副ソース線SSL側に書き込みを行った様子を示す。図5のメモリトランジスタM11に書き込みを行う場合、制御線SG11をたとえば0Vに変更し、pチャネル型のセレクトトランジスタS11をカットオフさせる。他のバイアス条件は図5と同じとする。この結果、メモリトランジスタM11が接続された副ビット線SBL1が電氣的にフローティング状態となり、その電位が上昇するため副ビット線SBL1とゲート電極(選択ワード線WL1)との間に有効な電圧が印加されない。一方、副ソース線SSL1と選択ワード線WL1との間には、前記したように1V程度の書き込み電圧が印加され、これにより、ゲート絶縁膜10の副ソース線SSL1側の領域(第1記憶領域)に局所的にバンド間トンネル電流に起因したホットエレクトロンが注入され、この第1記憶領域に局所的に保持される。

【0066】逆に、副ビット線SBL1側の領域に書き込みを行いたい場合は、セレクトトランジスタS11はオンさせ、制御線SG12の印加電圧をハイレベルにしてpチャネル型のセレクトトランジスタS12をカットオフさせ、これにより副ソース線SSL1をフローティング状態とする。これにより、ゲート絶縁膜10の副ビット線SBL1側の領域(第2記憶領域)に局所的にバンド間トンネル電流に起因したホットエレクトロンが注入され、この第2記憶領域に局所的に保持される。図11に、第1、第2記憶領域に独立にデータを書き込んだ

状態のメモリトランジスタを示す。第1、第2記憶領域間に、ホットエレクトロンが注入されない第3の領域が存在し、これにより2ビットのデータが確実に峻別される。

【0067】読み出しでは、読み出し対象の電荷が蓄積された第1または第2記憶領域がホール供給側（ソース側）となるように、ソース・ドレイン電圧（主ビット線MBL1および出力ソース線MSL1の電圧）の印加方向を決める。たとえば図6に示すバイアス条件において、主ソース線MSL1の印加電圧を $-1.5\text{V}$ に変更し、ソース側、すなわち副ビット線SBL1側の第2記憶領域のデータを読み出すことができる。逆に、副ソース線SSL1側の第1記憶領域のデータを読み出すときは、主ビット線MBL1を低い電圧、たとえば $-1.5\text{V}$ とし、主ソース線MSL1を高い電圧、たとえば接地電圧にする。このようにソース・ドレイン電圧方向を、第1、第2記憶領域の何れの保持データを読み出すかに応じて切り換えることにより、2ビット/セルの記憶データを独立に読み出すことが可能となる。なお、2ビットセルを微細化した場合、ドレイン電圧 $-1.0\text{V}$ で、ゲート電圧等はゲート長が $0.2\mu\text{m}$ の場合とほぼ同一となる。消去は、第1実施形態と同様である。

【0068】第2実施形態では、第1実施形態と同様にバンド間トンネル電流に起因したホットエレクトロン電流により書き込みを行うため、通常のCHE注入の場合と比較して注入効率が3桁以上改善され、高速書き込みが可能となった。また、第1実施形態よりゲート長をある程度長くすることにより、ゲート絶縁膜10のチャネル方向領域端の第1、第2記憶領域に独立に2ビットの記憶データ保持が可能となった。さらに、読み出しでは、ソースとドレイン間の印加電圧方向を切り換えることにより、1つのメモリセル当たり2ビットの記憶データを確実に読み出すことができる。また、本構造の2ビット/セル記憶のMONOSでは、中央のMOS構造のコントロールトランジスタのゲート長を短くする場合、トランジスタの形状、実効ゲート長あるいは不純物プロファイルを最適化することにより、ゲート長は $0.1\mu\text{m}$ またはそれ以下まで微細化が可能である。

【0069】以下、第3～第6実施形態に、第1、第2実施形態のメモリセルアレイの構成およびパターンの変更例について説明する。

#### 【0070】第3実施形態

図12は、第3実施形態に係る分離ソース線NOR型の不揮発性半導体メモリのメモリセルアレイの概略構成を示す回路図である。

【0071】この不揮発性メモリ装置では、NOR型メモリセルアレイの各メモリセルがメモリトランジスタ1個で構成されている。図12に示すように、メモリトランジスタM11～M22が行列状に配置され、これらトランジスタ間がワード線、ビット線および分離型ソース

線によって配線されている。すなわち、ビット方向に隣接するメモリトランジスタM11およびM12の各ドレインがビット線BL1に接続され、各ソースがソース線SL1に接続されている。同様に、ビット方向に隣接するメモリトランジスタM21およびM22の各ドレインがビット線BL2に接続され、各ソースがソース線SL2に接続されている。また、ワード方向に隣接するメモリトランジスタM11とM21の各ゲートがワード線WL1に接続され、同様に、ワード方向に隣接するメモリトランジスタM12とM22の各ゲートがワード線WL2に接続されている。メモリセルアレイ全体では、このようなセル配置およびセル間接続が繰り返されている。

【0072】図13は、第3実施形態に係る微細NOR型セルアレイの概略平面図である。また、図14は、図13のA-A'線に沿った断面側から見た鳥瞰図である。

【0073】この微細NOR型メモリセルアレイでは、図14に示すように、 $n$ 型半導体基板SUB（ $n$ ウェルでも可）の表面にトレンチまたはLOCOSなどから素子分離絶縁層ISOが形成されている。素子分離絶縁層ISOは、図13に示すように、ビット方向（図12の縦方向）に長い平行ストライプ状に配置されている。素子分離絶縁層ISOにはほぼ直交して、各ワード線WL1、WL2、WL3、WL4、…が等間隔に配線されている。このワード線は、第1実施形態と同様、ボトム絶縁膜、窒化膜、トップ絶縁膜からなるゲート絶縁膜上に積層したポリシリコン等のゲート電極から構成されている。

【0074】各素子分離絶縁層ISOの間隔内の能動領域において、各ワード線の離間スペースに、基板SUBと逆導電型の不純物が高濃度に導入されてソース不純物領域Sとドレイン不純物領域Dとが交互に形成されている。このソース不純物領域Sとドレイン不純物領域Dは、その大きさがワード方向（図12の横方向）には素子分離絶縁層ISOの間隔のみで規定され、ビット方向にはワード線間隔のみで規定される。したがって、ソース不純物領域Sとドレイン不純物領域Dは、その大きさと配置のばらつきに関しマスク合わせの誤差が殆ど導入されないことから、極めて均一に形成されている。

【0075】ワード線の一部および側壁は、絶縁層で覆われている。すなわち、ワード線WL1、WL2、…の上部に同じパターンにてオフセット絶縁層が配置され、オフセット絶縁層、その下のゲート電極（ワード線）およびゲート絶縁膜からなる積層パターンの両側壁に、サイドウォール絶縁層が形成されている。このオフセット絶縁層およびサイドウォール絶縁層により、各ワード線同士のスペース部分に、ワード線に沿って細長い自己整合コンタクトホールが開口されている。

【0076】ソース不純物領域Sまたはドレイン不純物領域Dの一部重なるように、自己整合コンタクトホール



内に導電性材料が互い違いに埋め込まれ、これによりビットコンタクトBCおよびソースコンタクトSCが形成されている。これらコンタクトBC、SCの形成では、自己整合コンタクトホール全域を埋め込むように導電材料を堆積し、その上に、エッチングマスク用のレジストパターンを形成する。このとき、レジストパターンを自己整合コンタクトホールの幅より一回り大きくし、また、一部を素子分離絶縁層ISOに重ねる。そして、このレジストパターンをマスクとしてレジストパターン周囲の導電材料をエッチングにより除去する。これにより、2種類のコンタクトBC、SCが同時に形成される。

【0077】図示しない絶縁膜でコンタクト周囲の凹部が埋め込まれている。この絶縁膜上を、ビットコンタクトBC上に接触するビット線BL1、BL2、…と、ソースコンタクトSC上に接触するソース線SL1、…が交互に、平行ストライプ状に形成されている。

【0078】この微細NOR型セルアレイは、そのビット線またはソース線に対するコンタクト形成が、自己整合コンタクトホールの形成と、プラグの形成により達成される。自己整合コンタクトホールの形成では、ワード線との絶縁分離が達成されるとともに、ソース不純物領域Sまたはドレイン不純物領域Dの表出面が均一に形成される。そして、ビットコンタクトBCおよびソースコンタクトSCの形成は、この自己整合コンタクトホール内のソース不純物領域Sまたはドレイン不純物領域Dの表出面に対して行う。したがって、各プラグの基板接触面は、そのビット方向のサイズがほぼ自己整合コンタクトホールの形成により決められ、その分、コンタクト面積のバラツキは小さい。

【0079】ビットコンタクトBCまたはソースコンタクトSCと、ワード線との絶縁分離が容易である。すなわち、ワード線形成時に一括してオフセット絶縁層を形成しておき、その後、絶縁膜の成膜と、全面エッチング（エッチバック）を行うだけでサイドウォール絶縁層が形成される。また、ビットコンタクトBCとソースコンタクトSC、さらに、ビット線とソース線が同一階層の導電層をパターンニングして形成されるため、配線構造が極めて簡素であり、工程数も少なく、製造コストを低く抑えるのに有利な構造となっている。しかも、無駄な空間が殆どないことから、各層の形成をウエハプロセス限界の最小線幅Fで行った場合、 $8F^2$ に近い非常に小さいセル面積で製造できる。

【0080】第3実施形態に係るMONOS型メモリトランジスタの素子構造は、基本的な構造は第1、第2実施形態と同様である。ただし、この第3実施形態におけるメモリトランジスタでは、ソース不純物領域Sとドレイン不純物領域Dとの対向方向（チャネル方向）とワード線WLの配線方向が直交する。したがって、ゲート長は、ほぼワード線幅で決まる。

【0081】このような構成のメモリトランジスタの製造においては、ソースとドレインとなる不純物領域S、Dの形成をワード線の形成後に行うことが、第1実施形態と大きく異なる。すなわち、第1実施形態と同様に、素子分離絶縁層ISO、ゲート絶縁膜10およびゲート電極膜の成膜と加工を行った後に、形成したパターンと自己整合的にソース不純物領域Sおよびドレイン不純物領域Dを、イオン注入法により形成する。

【0082】続いて、図14のメモリセルアレイ構造とするために、サイドウォール絶縁層とともに自己整合コンタクトホールを形成し、自己整合コンタクトホールにより表出するソースおよびドレイン不純物領域S、D上にビットコンタクトBCおよびソースコンタクトSCを形成する。その後、これらコンタクト周囲を層間絶縁膜で埋め込み、層間絶縁膜上にビット線およびソース線を形成した後、必要に応じて行う層間絶縁層を介した上層配線の形成およびオーバーコート成膜とパッド開口工程等を経て、当該不揮発性メモリセルアレイを完成させる。

【0083】第1、第2実施形態では、副ビット線SBLおよび副ソース線SSLにセレクトトランジスタを介してトランジスタのソース・ドレイン不純物領域に伝達した。本実施形態では、第1、第2実施形態で副ビット線SBLおよび副ソース線SSLに伝達した電圧を、ビット線BLおよびソース線SLに直に印加する。これにより、第1、第2実施形態と同様な動作、すなわち書き込み、読み出しおよび消去が可能となる。各トランジスタにおける電荷の注入等のされ方は第1、第2実施形態と同様であり、ここでの説明は省略する。

【0084】なお、本実施形態の変形として、ソース線および/またはビット線を第1実施形態と同様にして半導体不純物領域から構成し、32〜128個のメモリセルごとにコンタクトを介して、この不純物領域をそれぞれメタル配線に接続させた場合でも、第1、第2実施形態と同様な効果が得られる。

#### 【0085】第4実施形態

第4実施形態は、上記した第3実施形態のメモリセルアレイ構造の変形に関する。図15は、自己整合技術と蛇行ソース線を用いた微細NOR型メモリセルアレイの概略平面図である。

【0086】このNOR型セルアレイでは、図示せぬnウェルの表面に縦帯状のトレンチまたはLOCOSなど素子分離絶縁層ISOが等間隔でビット方向（図15の縦方向）に配置されている。素子分離絶縁層ISOにほぼ直交して、各ワード線 $WL_{m-2}$ 、 $WL_{m-1}$ 、 $WL_m$ 、 $WL_{m+1}$ が等間隔に配線されている。このワード線構造は、前述の実施形態と同様に、ボトム絶縁膜、窒化膜、トップ絶縁膜及びゲート電極の積層膜から構成されている。

【0087】各素子分離絶縁層の間隔内の能動領域にお



いて、各ワード線の離間スペースに、例えばn型不純物が高濃度に導入されてソース不純物領域Sとドレイン不純物領域Dとが交互に形成されている。このソース不純物領域Sとドレイン不純物領域Dは、その大きさがワード方向（図15の横方向）には素子分離絶縁層ISOの間隔のみで規定され、ビット方向にはワード線間隔のみで規定される。したがって、ソース不純物領域Sとドレイン不純物領域Dは、その大きさと配置のばらつきに関しマスク合わせの誤差が殆ど導入されないことから、極めて均一に形成されている。

【0088】各ワード線の周囲は、サイドウォール絶縁層を形成するだけで、ソース不純物領域Sとドレイン不純物領域Dとに対し、ビット線接続用のコンタクトホールとソース線接続用のコンタクトホールとが2度のセルフアラインコンタクト技術を同時に転用しながら形成される。しかも、上記プロセスはフォトマスクが不要となる。したがって、先に述べたようにソース不純物領域Sとドレイン不純物領域Dの大きさや配置が均一な上に、これに対して2次元的に自己整合して形成されるビット線またはソース線接続用のコンタクトホールの大きさも極めて均一となる。また、上記コンタクトホールはソース不純物領域Sとドレイン不純物領域Dの面積に対し、ほぼ最大限の大きさを有している。

【0089】その上でビット方向に配線されているソース線 $SL_{n-1}$ 、 $SL_n$ 、 $SL_{n+1}$ （以下、SLと表記）は、ドレイン不純物領域Dを避けながら素子分離絶縁層ISO上とソース不純物領域S上に蛇行して配置され、上記ソース線接続用のコンタクトホールを介して、下層の各ソース不純物領域Sに接続されている。ソース線SL上には、第2の層間絶縁膜を介してビット線 $BL_{n-1}$ 、 $BL_n$ 、 $BL_{n+1}$ （以下、BLと表記）が等間隔で配線されている。このビット線BLは、能動領域上方に位置し、ビット線接続用のコンタクトホールを介して、下層の各ドレイン不純物領域Dに接続されている。

【0090】このような構成のセルパターンでは、上記したように、ソース不純物領域Sとドレイン不純物領域Dの形成がマスク合わせの影響を受けにくく、また、ビット線接続用のコンタクトホールとソース線接続用のコンタクトホールが、2度のセルフアライン技術を一括転用して形成されることから、コンタクトホールがセル面積縮小の制限要素とはならず、ウェハプロセス限界の最小線幅Fでソース配線等ができ、しかも、無駄な空間が殆どないことから、 $6F^2$ に近い非常に小さいセル面積が実現できる。

#### 【0091】第5実施形態

第5実施形態は、いわゆる仮想接地型と称される、共通ソース線NOR型の不揮発性メモリ装置に関する。図16は、仮想接地NOR型のメモリセルアレイ構成を示す回路図である。また、図17は、仮想接地NOR型のメモリセルアレイの概略平面図である。

【0092】このメモリセルアレイでは、図12のようにソース線が分離されておらず、共通化されている。この共通化されたソース線は隣りのメモリセルを動作させるときはビット線として機能する。したがって、このメモリセルアレイでは、ビット方向の配線は全て“ビット線”と称する。各ビット線 $BL_1 \sim BL_3$ は、図17に示すように、半導体の不純物領域からなる拡散層配線（副ビット線 $SBL_1$ 、 $SBL_2$ 、…）と、図示しないビットコンタクトを介して各副ビット線 $SBL_1$ 、 $SBL_2$ 、…に接続されたメタル配線（主ビット線 $MBL_1$ 、 $MBL_2$ 、…）とからなる。このメモリセルアレイのパターンでは、素子分離絶縁層ISOが全くなく、その分、第1～第4実施形態のメモリセルアレイよりセル面積が縮小されている。なお、その1本おき、たとえばビット線 $BL_1$ と $BL_3$ を、図示しないビットコンタクトを介して上層のメタル配線に接続させてもよい。

【0093】本実施形態では、第1、第2実施形態で副ビット線 $SBL$ および副ソース線 $SSL$ に伝達した電圧を、主ビット線 $MBL$ および主ソース線 $SL$ に直に印加する。これにより、第1、第2実施形態と同様な動作、すなわち書き込み、読み出しおよび消去が可能となる。各トランジスタにおける電荷の注入等のされ方は第1実施形態と同様であり、ここでの説明は省略する。仮想接地NOR型では、ソース線が共通化されているため、一般に、ワード方向に隣接したメモリトランジスタへの誤書き込みが問題となる。しかし、第1実施形態に仮想接地NOR型を適用した場合、ソース側とドレイン側双方から電荷注入して初めて大きなしきい値電圧変化となることから、ワード方向に隣接した非選択メモリトランジスタは誤書き込みされにくいという利点がある。

#### 【0094】第6実施形態

第6実施形態は、いわゆるFG型におけるHiCR型と同様の、共通ソース線NOR型の不揮発性メモリ装置に関する。図18は、第6実施形態に係わるメモリセルアレイの概略平面図である。なお、メモリセルアレイの回路図は、第5実施形態と同様であり図16が適用される。

【0095】このメモリセルアレイでは、図18のように、ワード方向に隣接する2つのメモリトランジスタ間でソース線（主ソース線 $MSL$ および副ソース線 $SSL$ ）が共通に設けられている。したがって、素子分離絶縁層ISOは、副線（副ビット線 $SBL_n$ 、 $SBL_{n+1}$ および副ソース線 $SSL$ ）3本ごとに設けられている。このメモリセルアレイのパターンでは、第1～第4実施形態と比較すると素子分離絶縁層ISOが少なく、その分、第1～第4実施形態のメモリセルアレイよりセル面積が縮小されている。

【0096】本実施形態では、第1、第2実施形態で副ビット線 $SBL$ および副ソース線 $SSL$ に伝達した電圧を、主ビット線 $MBL$ および主ソース線 $SL$ に直に印加

する。これにより、第1、第2実施形態と同様な動作、すなわち書き込み、読み出しおよび消去が可能となる。各トランジスタにおける電荷の注入等のされ方は第1実施形態と同様であり、ここでの説明は省略する。また、仮想接地NOR型と同様、ソース側とドレイン側双方から電荷注入して初めて大きなしきい値電圧変化となることから、ワード方向に隣接した非選択メモリトランジスタは誤書き込みされにくいという利点がある。

【0097】以下、第2実施形態より更に2ビット/セル書き込みに適した構造のメモリセルを有する実施形態を説明する。

#### 【0098】第7実施形態

第7実施形態は、2ビット/セル書き込みが容易な分離ソース線NOR型の不揮発性メモリに関する。図19に、メモリセルアレイの4セル分の回路図を示す。なお、このメモリセルアレイは、図1のメモリセルアレイの要部を拡大し、あるいは図12に対応するものである。また、図20に、第7実施形態に係るメモリトランジスタの構造を断面図により示す。

【0099】図20に示すメモリトランジスタは、その電荷保持機能を有するゲート絶縁膜が、副ビット線SBL<sub>i</sub>側のゲート絶縁膜10aと、副ビット線SBL<sub>i+1</sub>側のゲート絶縁膜10bとから構成されている。両ゲート絶縁膜10a、10bは、チャンネル中央部上の単層のゲート絶縁膜14を挟んで空間的に分離されている。両ゲート絶縁膜10a、10bそれぞれが、第1実施形態におけるゲート絶縁膜10と同様の膜構造を有する。すなわち、ゲート絶縁膜10aは、下層から順に、ボトム絶縁膜11a、窒化膜12a、トップ絶縁膜13aから構成されている。同様に、ゲート絶縁膜10bは、下層から順に、ボトム絶縁膜11b、窒化膜12b、トップ絶縁膜13bから構成されている。ボトム絶縁膜11a、11b、窒化膜12a、12b、トップ絶縁膜13a、13bそれぞれは、第1実施形態におけるボトム絶縁膜11、窒化膜12、トップ絶縁膜13と同様の材料、膜厚で、同様の成膜法により形成される。

【0100】ここで、ゲート絶縁膜10bの窒化膜12bを中心とした領域を“第1記憶領域R1”、ゲート絶縁膜10aの窒化膜12aを中心とした領域を“第2記憶領域R2”、ゲート絶縁膜部分を“第3の領域R3”という。本実施形態では、電荷蓄積手段（キャリアトラップ）の分布領域（第1記憶領域R1および第2記憶領域R2）が空間的に分離され、その間の領域（第3の領域R3）が単一材料の絶縁膜からなる。このため、互いに離れた2つのメモリ領域を有するメモリトランジスタと、その2つのメモリ領域間に形成され、メモリトランジスタとゲート電極が共通なMOS構造のコントロールトランジスタが一体的に集積化された素子構造となっている。

【0101】この構造の利点は種々ある。その一つは、

電荷注入範囲が限定されることで、過剰の電荷注入がされにくいことにある。また、他の利点は、詳細は後述するが、可変しきい値電圧素子であるメモリトランジスタのほかに、しきい値電圧が一定なMOS型のコントロールトランジスタによりチャンネルのON/OFFが制御できる点にある。さらに、高温保持時に、蓄積電荷が横方向に拡散しないので信頼性に優れる点も大きな利点である。

【0102】両端のゲート絶縁膜10a、10b間のゲート絶縁膜14は、たとえばCVD法により形成した酸化シリコン膜からなり、両端のゲート絶縁膜間を埋め込むように形成されている。

【0103】このゲート絶縁膜構造の種々ある形成方法の一例では、まず、第1実施形態と同様に全面にボトム絶縁膜、窒化膜、トップ絶縁膜の積層膜を形成した後、チャンネル中央部上で、この積層膜を一部エッチングにより除去する。これにより、ゲート絶縁膜10a、10bが空間的に分離して形成される。全面に酸化シリコン膜を厚く堆積させ、酸化シリコン膜表面からエッチバックを行う。そして、ゲート絶縁膜10a、10b上の絶縁膜が除去され、ゲート絶縁膜10a、10b間がゲート絶縁膜14で埋まった段階でエッチバックを停止すると、当該ゲート絶縁膜構造が完成する。なお、このエッチバック時のオーバエッチングを防止するため、ゲート絶縁膜10a、10b上に予めエッチングストップ膜、たとえば窒化シリコン膜を薄く形成してもよい。その後は、第1実施形態と同様にしてワード線WLの形成工程等を経て、当該メモリトランジスタを完成させる。

【0104】つぎに、このような構成の不揮発性メモリの動作について、ワード線WL1に接続された複数のメモリトランジスタM11、M21、…を例に説明する。図21(A)は、書き込み時のバイアス設定条件を示す回路図、図21(B)は書き込み動作を示す素子断面図、図22(A)、(B)は読み出し時のバイアス設定条件を示す回路図、図23(A)は消去時のバイアス設定条件を示す回路図、図23(B)消去動作を示す素子断面図である。

【0105】書き込みは、同一ワード線（ここでは、WL1）に連なるメモリセルに対し並列に一括して行う。図21に示すように、メモリトランジスタの第1、第2記憶領域R1、R2のどちらに書き込みを行うかによって、副ビット線SBL1、SBL2、…および副ソース線SSL1、SSL2、…の電圧印加の設定パターンを決める。すなわち、図21の例では、メモリトランジスタM11の第1記憶領域R1と、メモリトランジスタM21の第1、第2記憶領域R1、R2とにホットエレクトロン注入を行うこととし、それに対応して副ビット線SBL1、SBL2と副ソース線SSL2に、所定の負電圧、たとえば-5V程度の電圧を印加する。ホットエレクトロン注入を行わない残りの副線、ここでは副ソ-

ス線SSL1はオープンとし、電気的フローティング状態とする。また、選択ワード線WL1に所定の正電圧、たとえば6Vを印加し、他の非選択ワード線WL2~WLnに所定の書き込み禁止電圧、たとえば0Vを印加し、基板(nウェルW)に0Vを印加する。

【0106】この書き込み条件下、書き込み対象行の複数のメモリトランジスタにおいて、選択ワード線WL1に印加された正電圧により、所定の負電圧(-5V)が印加された副ビット線SBL1、SBL2および副ソース線SSL2をなすp型不純物領域の表面が深い空乏状態となり、その結果、第1、第2実施形態と同様な原理により、ホットエレクトロンが効率よく、しかも高速に電荷蓄積手段であるキャリトラップに注入される。この結果、メモリトランジスタしきい値電圧が、消去状態の $V_{th} = -2.5V \sim -2.3V$ から減少して、書き込み状態の $V_{thp} (\geq -0.5V)$ に変化する。

【0107】一方、非選択行のメモリトランジスタM12、22、...では、ゲートとソースまたはドレインとの間に6V程度しか電圧がかからない。したがって、電荷蓄積手段にホットエレクトロンが注入されず、有効に書き込みが禁止される。

【0108】この書き込み方法では、電荷の電界加速方向と注入方向がほぼ一致するため、従来のCHE注入方式より電荷の注入効率が高い。また、チャネル自体は形成せずに書き込みを行うため、電流消費が少なくてすむ。電流自体は小さいが、このように電荷蓄積手段分布面内のほぼ全域に電荷が注入されることから、必要なしきい値電圧変化を得るための書き込み時間は、たとえば $10\mu s$ 以下と従来より1桁以上短くなる。また、この書き込みでは、副ビット線SBL1をなすp型不純物領域からの電荷注入、副ソース線SSL1をなすp型不純物領域からの電荷注入は、それぞれ局所的である。すなわち、本実施形態では、電荷を注入できる領域が第1記憶領域R1または第2記憶領域R2に限定されるため、過剰の書き込みが防止できる。

【0109】さらに、副線SBL、SSLへの印加電圧の組合せを設定しワード線を立ち下げだけの1回の動作でページ書き込みができる。その際、上記した注入効率の改善によってビット当たりの書き込み電流が桁違いに小さくなり、従来のCHE注入方式では1バイト

(B)程度であった一括並列書き込み可能なセル数が、本実施形態では1キロバイト(kB)以上と格段に大きくなる。なお、ページ書き込みを行わない場合は、書き込みをすべき選択セル列と、書き込みを禁止すべき非選択セル列をバイアス条件により区別し、その選択セル列のみに対する書き込みも可能である。

【0110】読み出しでは、ページ読み出しを基本とする。第2記憶領域R2のビットを読み出す場合、図22(A)に示すように、副ビット線SBL1、SBL2、...に所定のドレイン電圧、たとえば-1.5Vを印加

し、副ソース線SSL1、SSL2、...および基板に0Vを印加する。また、非選択ワード線WL2、WL3、...に所定の読み出し禁止電圧、たとえば0Vを印加する。この状態で、読み出し対象のワード線WL1に所定の読み出しゲート電圧、たとえば-4.5Vを印加する。これにより、ワード線WL1に接続されたメモリトランジスタM21、...の第2記憶領域R2が書き込み状態の場合、そのメモリトランジスタM21がオンし、読み出し電流I<sub>0</sub>が図のように流れて副ビット線電圧が変化する。一方、第2記憶領域R2が書き込み状態でないメモリトランジスタM11は、しきい値電圧が高いままでありオフ状態を維持する。その後、オンしたメモリトランジスタを介してプリチャージ電荷がソース線に流れた副ビット線SBL2等の電圧変化を、図示しないセンスアンプ等で増幅して読み出す。第1記憶領域R1の読み出しは、ドレイン電圧-1.5Vを上記とは逆方向に印加することで達成される。

【0111】ところで、チャネル中央部にMOS型コントロールトランジスタがない第2実施形態のトランジスタ構造では、書き込み時にエレクトロンの注入が過剰に行われメモリトランジスタのしきい値電圧が大きく低下すると、読み出し時の電流量がばらつく上、電流消費も無駄が多い。

【0112】本実施形態のようにチャネル中央部(第3の領域R3)にMOSトランジスタが形成された構造では、第3の領域R3におけるMOSトランジスタのしきい値電圧 $V_{th}(MOS)$ が、たとえば $-0.5V \sim -0.7V$ 程度に予め設定されている。このため、メモリトランジスタに過剰書き込みがされている場合でも、その影響を読み出し時に受けない。なぜなら、メモリトランジスタのしきい値電圧が大きく低下し読み出し電流が増大しようとする、MOS型のコントロールトランジスタがカットオフリミッタとして機能するからである。したがって、このメモリセルではセレクトトランジスタのしきい値電圧制御を通して読み出し電流の上限が制御でき、無駄な電流消費がないという利点がある。

【0113】消去は、第1、第2実施形態と同様、チャネル全面、FNトンネリングまたは直接トンネリングを用いてチャネル全面から電子を引き抜くことにより行う。直接トンネリングを用て全ブロックを一括消去する場合、たとえば図23(A)に示すように、全てのワード線WL1、WL2、...に-5V、全ての副ビット線SBL1、SBL2、...、全ての副ソース線SSL1、SSL2、...および基板(pウェルW)に5Vを印加する。

【0114】これにより、図23(B)に示すように、電荷蓄積手段に保持されていた電子が基板側に引き抜かれ、しきい値電圧が上昇して消去が行われる。この電子引き抜きによる消去時間は10ms程度まで低減でき、従来の直接トンネル効果によるホール注入消去時間の典

10

20

30

40

50

型値 100 ms に比べ 1 桁以上改善された。また、従来のホール注入による消去では、書き込みに比べ電荷がボトム絶縁膜を通過する時間が長いこと絶縁膜質の劣化が懸念されるが、本発明では消去は電子引き抜きを用いるため、信頼性が高い。

【0115】以上の書き込み、読み出しおよび消去のオペレーションを用いて、メモリセルの信頼性データを調べた。この結果、データ書き換え特性、データ保持特性およびリードディスタート特性に関して、データ書き換え  $1 \times 10^6$  回以上、データ保持が 10 年、リードディスタート特性が 10 年は保証できることが分かった。また、データ保持特性は、 $1 \times 10^6$  回のデータ書き換え後も 85℃、10 年を満足した。なお、本構造の 2 ビット/セル記憶の MONOS では、中央の MOS 構造のコントロールトランジスタのゲート長を短くする場合、トランジスタの形状、実効ゲート長あるいは不純物プロファイルを最適化することにより、ゲート長は 0.1  $\mu$ m またはそれ以下まで微細化が可能である。

#### 【0116】第 8 実施形態

第 8 実施形態は、2 ビット/セル書き込みが容易な仮想接地 NOR 型の不揮発性メモリに関する。

【0117】図 24 は、第 8 実施形態に係るメモリセルアレイの構成例を示す回路図である。このメモリセルアレイは、基本的には、第 5 実施形態と同様の仮想接地 NOR 型のメモリセルアレイである。ただし、このメモリセルアレイでは、各メモリトランジスタに、ソース・ドレイン不純物領域側からチャネル形成領域に一部重なるようにコントロールゲートが設けられている。そして、ビット方向に連なるメモリトランジスタ M11、M12、…の一方のコントロールゲートを共通接続する制御線 CL1a、他方のコントロールゲートを共通接続する制御線 CL1b、他の列に属しビット方向に連なるメモリトランジスタ M21、M22、…の一方のコントロールゲートを共通接続する制御線 CL2a、他方のコントロールゲートを共通接続する制御線 CL2b、…が設けられている。各制御線は、ワード線とは独立に制御される。

【0118】図 24 においては、各制御線がチャネル形成領域に一部重なることによって、中央のメモリトランジスタをはさんで両側に MOS 構造のコントロールトランジスタが形成されている。

【0119】図 25 に、第 8 実施形態に係るトランジスタ構造の例を示す。このメモリトランジスタにおいて、チャネル形成領域の中央部に、下層からボトム絶縁膜 11、窒化膜 12、トップ絶縁膜 13 からなるゲート絶縁膜 10 を介してメモリトランジスタのゲート電極 15 が積層されている。このゲート電極 15 は、図示しないワード線 WL をなす上層配線層に接続され、ワード方向のメモリセル間で共通に接続されている。

【0120】一方、メモリトランジスタのチャネル方向

両側の副ビット線 SBLi、SBLi+1 上に、コントロールトランジスタのゲート絶縁膜 16a が形成されている。そのゲート絶縁膜 16a 上に、コントロールゲート CG が形成されている。コントロールゲート CG とゲート電極 15 との間は、スペーサ絶縁層 16b により絶縁分離されている。

【0121】このメモリセルの形成では、たとえば、ゲート絶縁膜 10 とゲート電極 15 とする導電膜を全面に形成した後、ゲート電極のパターンニング時に、ゲート絶縁膜 10 を上層から順次加工する。つぎに、このパターンをゲート絶縁膜 16a で覆う。スペーサ絶縁膜 16b をゲート絶縁膜 16a より厚くする場合は、さらに同種の絶縁膜を積み増した後、異方性エッチングする。これにより、ゲート電極の側壁側にスペーサ絶縁層 16b が形成される。コントロールゲート CG とする導電膜を堆積し、この導電膜を異方性エッチングして、サイドウォール状に残し、これにより、コントロールゲート CG を形成する。

【0122】このようにして形成されたトランジスタの書き込み動作では、前記した他の実施形態と同様にページ書き込みを行う。バイアス条件は、基本的に第 7 実施形態と同様である。ただし、この第 8 実施形態では、ビット線がワード方向に隣接した 2 メモリセル間で共通となっているため、メモリトランジスタの第 1 記憶領域 R1、第 2 記憶領域 R2 に書き込みを行うか否かは、コントロールトランジスタのコントロールゲート CG の電圧により制御する。すなわち、ビット線 BL1、BL2、…は全て -5 V の電圧を印加しておき、書き込みを行う側のコントロールゲート CG のみ所定の正電圧、たとえば 6 V を印加する。これにより、この正電圧印加のコントロールゲート CG 下では、p 型不純物領域が深い空乏状態となり、エネルギーバンドの曲がり方が急峻となる。このときバンド間トンネル効果により電子が価電子帯より伝導帯にトンネルし、p 型不純物領域側に流れる。発生した電子は、チャネル形成領域の中央部側に若干ドリフトして、そこで、より強電界を及ぼしているゲート電極 15 により電界加速され、その一部がホット電子となる。この p 型不純物領域端で発生した高エネルギー電荷（ホット電子）は、その運動量（方向と大きさ）を維持しながら殆ど運動エネルギーを失うことなく効率よく、しかも高速に電荷蓄積手段であるキャリトラップに注入される。この結果、メモリトランジスタしきい値電圧が、消去状態の  $V_{th0} = -2.5$  V  $\sim -2.3$  V から減少して、書き込み状態の  $V_{thp}$  ( $\geq -0.5$  V) に変化する。

【0123】一方、書き込みを行いたくない側のコントロールゲート CG は、0 V または -5 V 程度の負電圧を印加する。このコントロールゲート CG 下の p 型不純物領域は、エネルギーバンドの曲がり方が急峻とならず、したがってホット電子が発生し得ず、有効に書き

込みが禁止される。

【0124】この書き込み方法では、第7実施形態と同様の効果、すなわちページ書き込みを、電荷の注入効率が高く高速に、しかも少ない電流消費で達成できる。

【0125】読み出しでは、ページ読み出しを基本とし、基本的な印加バイアス値、すなわちドレイン側に $-1.5V$ 、ソース側に $0V$ 、そしてゲートに $-4.5V$ を印加する事自体は第7実施形態と同様である。ただし、本実施形態では、このビット方向の共通線（ビット線 $BL1$ 、 $BL2$ 、…）がワード方向に隣接した2メモリセル間で共通化されている。このため、第6実施形態と同様に、ビット方向の共通線に対し $-1.5V$ と $0V$ を交互に印加すると、 $-1.5V$ を印加した共通線（ビット線）に、これに接続した2メモリセル分のデータが読み出されてしまいデータ判別が不可能となってしまう。そこで、一方のメモリセルは、コントロールゲートCGをオンさせてチャネルをカットオフしておく必要がある。すなわち、1回の読み出し動作で、1列ごとにしか読み出せない。第1記憶領域 $R1$ 、第2記憶領域 $R2$ の読み出しで2回の動作を必要とするため、結局、1ページの読み出しに4回の動作サイクルを要することとなる。

【0126】消去は、前記した他の実施形態と同様である。

#### 【0127】第9実施形態

第9実施形態は、2ビット／セル書き込みが容易な分離ソース線NOR型の他のメモリ素子例に関する。

【0128】図26は、第9実施形態に係るメモリセルアレイの構成例を示す回路図である。このメモリセルアレイでは、各メモリセルにおいて、中央がビット方向の制御線 $CL1$ 、 $CL2$ 、…に接続されたMOS構造のコントロールトランジスタとなっており、その両側それぞれに、ゲートがワード線 $WL1$ 、 $WL2$ 、…に接続されたメモリトランジスタが形成されている。

【0129】図27（A）に、第9実施形態に係るメモリセルの第1の構造例を示す。このメモリセル構造は、第7実施形態（図20）に示すメモリセル構造と比べると、第1記憶領域 $R1$ 、第2記憶領域 $R2$ および第3の領域 $R3$ ごとにゲート電極が分離して設けられている。すなわち、チャネル形成領域中央部に形成されコントロールゲートCGと、そのコントロールゲートCGと絶縁分離され、チャネル方向両側に設けられ、ワード線 $WL$ に接続されたゲート電極 $15a$ 、 $15b$ とを有する。コントロールゲートCGは、ソース側とドレイン側で空間的に分離された2つのゲート積層パターン、すなわちゲート電極 $15a$ とゲート絶縁膜 $10a$ との積層パターンと、ゲート電極 $15b$ とゲート絶縁膜 $10b$ との積層パターンとの間に、ゲート絶縁膜 $17$ を介して埋め込まれている。

【0130】このメモリセルの種々ある形成法の一例においては、たとえば、ゲート絶縁膜 $10a$ 、 $10b$ とゲ

ート電極 $15a$ 、 $15b$ となる導電膜を全面に形成した後、2つのゲート電極 $15a$ 、 $15b$ のパターンニング時に、ゲート絶縁膜 $10a$ 、 $10b$ を一括して加工する。これにより、副ビット線 $SBLi$ 側と、副ビット線 $SBLi+1$ 側に空間的に分離して、2つのゲート電極 $15a$ 、 $15b$ とゲート絶縁膜 $10a$ 、 $10b$ の積層パターンが形成される。その後、全面に絶縁膜 $17$ とコントロールゲートCGとなる導電膜とを堆積し、これらの膜をエッチバックする。これにより、2つのゲート電極 $15a$ 、 $15b$ とゲート絶縁膜 $10a$ 、 $10b$ の積層パターン間に、ゲート絶縁膜 $17$ とコントロールゲートCGが埋め込まれるように形成される。

【0131】このように形成されたメモリセルでは、第7実施形態と同様に過剰書き込みの影響を低減するために、チャネル形成領域中央部に、ワード線に接続されたMOS型のコントロールトランジスタが形成されている。このコントロールトランジスタのしきい値電圧は、たとえば $-0.5V \sim -0.7V$ に設定される。また、ビット線 $BLi$ 、 $BLi+1$ をなす不純物領域上に、電荷蓄積手段を含み電荷保持能力を有したONO膜タイプのゲート絶縁膜 $10a$ 、 $10b$ を介してゲート電極 $15a$ 、 $15b$ が配置され、これによりメモリトランジスタが形成されている。

【0132】図27（B）に、第9実施形態に係るメモリセルの第2の構造例を示す。前記した図27（A）ではゲート電極 $15a$ 、 $15b$ が2つに分離されていたが、このメモリセル構造ではメモリトランジスタのゲート電極 $18$ が、単一の導電材料から一体に形成されている。このゲート電極 $18$ は図26におけるワード線 $WL$ を構成し、ONOタイプのゲート絶縁膜 $10$ を間に挟んで、中央のコントロールゲートCG上に交差している。このため、ONOタイプのゲート絶縁膜 $10$ は、コントロールゲートCGとソース・ドレイン領域（ビット線 $BLi$ または $BLi+1$ ）との間のチャネル形成領域部分上にそれぞれ接触している。このゲート絶縁膜 $10$ のチャネル形成領域に接触した部分が第1、第2記憶領域 $R1$ 、 $R2$ となる。また、コントロールゲートCGの下のゲート絶縁膜 $17$ は単層の絶縁膜からなり、この単層の絶縁膜が電荷保持能力を有しない第3の領域 $R3$ となる。

【0133】この第2の構造のメモリセルは、電荷保持能力を有したONOタイプのゲート絶縁膜 $10$ を2つに分離する必要がない。すなわち、p型不純物領域（ビット線 $BLi$ 、 $BLi+1$ ）が形成されたnウェル $W$ 上に、コントロールゲートのゲート積層パターン（ $17$ 、CG）をビット方向に長く形成した後、ゲート絶縁膜 $10$ を第1実施形態と同様な方法によって成膜し、ゲート電極 $18$ となる導電膜を堆積し、この導電膜とゲート絶縁膜 $10$ をワード方向に長いパターンに一括して加工する。したがって、製造プロセスが簡素化でき、作りやす

いという利点がある。なお、コントロールゲートCGをゲート電極とする中央のコントロールトランジスタと、その両側のメモリトランジスタとのしきい値電圧差を設けるには、コントロールゲートCGを形成するまえにコントロールトランジスタのしきい値電圧を設定するイオン注入をチャネル形成領域に対して行い、コントロールゲートCGを形成した後に再びイオン注入を行って、メモリトランジスタのしきい値電圧を調整することで実現できる。したがって、このしきい値電圧設定も容易である。

【0134】図27(A)または(B)のメモリセルの書き込み動作では、第7実施形態と同様にページ書き込みを行う。バイアス条件は、基本的に第7実施形態と同様である。第9実施形態では、第7実施形態と同様、ビット線がワード方向に隣接した2メモリセル間で分離しており、メモリトランジスタの第1記憶領域R1、第2記憶領域R2に書き込みを行うか否かは、ビット線電圧を-5Vとするか、オープンとするかにより制御する。最初に全てのワード線WLに6Vの電圧を印加しておき、書き込みを行う側のビット線のみ、オープン状態から、たとえば-5V程度の所定の負電圧を印加する。この電圧印加の順序は、ワード線への電圧印加が先で、ビット線への電圧印加が後であってもよい。これにより、正電圧印加のゲート電極15a、15b(または18)下では、-5Vを印加したp型不純物領域が深い空乏状態となり、前記した他の実施形態と同様な原理により、ホットエレクトロンが効率よく、しかも高速に電荷蓄積手段であるキャリアトラップに注入される。この結果、メモリトランジスタしきい値電圧が、消去状態の $V_{th0}$ から減少し、書き込み状態の $V_{th1}$ に変化する。

【0135】このときコントロール線CLは所定の負電圧が印加されていることから、p型不純物領域(副ビット線SBLi、SBLi+1)から伸びる空乏層を抑制して、チャネル中央部が空乏化されない。このため、第9実施形態では、第7実施形態と比較してバッチスルー耐性が強くなっている。

【0136】この書き込み方法では、他の実施形態と同様の効果、すなわちページ書き込みを、電荷の注入効率が高く、高速に、しかも少ない電流消費で達成できる。また、電荷注入が局所的に行え、過剰書き込みが防止で

きる。  
【0137】読み出しは、第7実施形態と同様に、ページ読み出しを基本とし、基本的な印加バイアス値、すなわちドレイン側に-1.5V、ソース側に0V、コントロールトランジスタのゲート(コントロールゲートCG)に-8V、そしてメモリトランジスタのゲート(ワード線WL)に-4.5Vを印加することで達成できる。

【0138】なお、この読み出しにおいても、第7実施形態と同様、MOS型のトランジスタを設けたことによ

り、そのしきい値電圧制御を通して読み出し電流の上限が制御でき、無駄な電流消費がないという利点がある。

【0139】消去は、他の実施形態と同様に行う。なお、本構造の2ビット/セル記憶のMONOSでは、中央のMOS構造のコントロールトランジスタのゲート長を短くする場合、トランジスタの形状、実効ゲート長あるいは不純物プロファイルを最適化することにより、ゲート長は0.1 $\mu$ mまたはそれ以下まで微細化が可能である。

10 【0140】以下、第10、第11実施形態に、第1～第9実施形態のメモリトランジスタ構造の変形例を示す。

#### 【0141】第10実施形態

第10実施形態は、メモリトランジスタの電荷蓄積手段としてゲート絶縁膜中に埋め込まれ例えば10ナノメートル以下の粒径を有する多数の互いに絶縁されたSiナノ結晶を用いた不揮発性半導体記憶装置(以下、Siナノ結晶型という)に関する。

【0142】図28は、このSiナノ結晶型メモリトランジスタの素子構造を示す断面図である。本実施形態のSiナノ結晶型不揮発性メモリでは、そのゲート絶縁膜20が、ボトム絶縁膜21、その上の電荷蓄積手段としてのSiナノ結晶22、およびSiナノ結晶22を覆う酸化膜23とからなる。その他の構成、即ち半導体基板、チャネル形成領域、ウエルW、ソース線MSL、SSL、ビット線BL、MSL、SBL、ワード線WLは、第1～第8実施形態と同様である。

【0143】Siナノ結晶22は、そのサイズ(直径)が、好ましくは10nm以下、例えば4.0nm程度であり、個々のSiナノ結晶同士が酸化膜23で空間的に、例えば4nm程度の間隔で分離されている。本例におけるボトム絶縁膜21は、電荷蓄積手段(Siナノ結晶22)が基板側に近いこととの関係で、第1実施形態よりやや厚く、使用用途に応じて2.6nmから5.0nmまでの範囲内で適宜選択できる。ここでは、4.0nm程度の膜厚とした。

【0144】このような構成のメモリトランジスタの製造では、ボトム絶縁膜21の成膜後、例えばLP-CVD法でボトム絶縁膜21の上に、複数のSiナノ結晶22を形成する。また、Siナノ結晶22を埋め込むように、酸化膜23を、例えば7nmほどLP-CVDにより成膜する。このLP-CVDでは、原料ガスがDCSとN<sub>2</sub>Oの混合ガス、基板温度が例えば700℃とする。このときSiナノ結晶22は酸化膜23に埋め込まれ、酸化膜23表面が平坦化される。平坦化が不十分な場合は、新たに平坦化プロセス(例えばCMP等)を行うとよい。その後、ワード線となる導電膜を成膜し、ゲート積層膜を一括してパターンニングする工程を経て、当該Siナノ結晶型メモリトランジスタを完成させる。

50 【0145】このように形成されたSiナノ結晶22



は、平面方向に離散化されたキャリアトラップとして機能する。そのトラップレベルは、周囲の酸化シリコンとのバンド不連続値で推定可能で、その推定値では約3.1 eV程度とされる。この大きさの個々のSiナノ結晶22は、数個の注入電子を保持できる。なお、Siナノ結晶22を更に小さくして、これに単一電子を保持させてもよい。

#### 【0146】第11実施形態

第11実施形態は、メモリトランジスタの電荷蓄積手段として絶縁膜中に埋め込まれ互いに分離した多数の微細分割型フローティングゲートを用いた不揮発性半導体記憶装置（以下、微細分割FG型という）に関する。

【0147】図29は、この微細分割FG型メモリトランジスタの素子構造を示す断面図である。本実施形態の微細分割FG型不揮発性メモリでは、メモリトランジスタがSOI基板に形成され、そのゲート絶縁膜30が、ボトム絶縁膜31、その上の電荷蓄積手段としての微細分割型フローティングゲート32、および微細分割型フローティングゲート32を埋め込む酸化膜33とからなる。この微細分割フローティングゲート32は、第10実施形態のSiナノ結晶22とともに本発明でいう“小粒径導電体”の具体例に該当する。

【0148】SOI基板としては、酸素イオンをシリコン基板に高濃度にイオン注入し基板表面より深い箇所に埋込酸化膜を形成したSIMOX（Separation by Implanted Oxygen）基板や、一方のシリコン基板表面に酸化膜を形成し他の基板と張り合わせた張合せ基板などが用いられる。このような方法によって形成され図29に示したSOI基板は、半導体基板SUB、分離酸化膜34およびシリコン層35とから構成され、シリコン層35内に、副ソース線SSL（ソース不純物領域S）、副ビット線SBL（ドレイン不純物領域D）が設けられている。両不純物領域間がチャンネル形成領域となる。なお、半導体基板SUBに代えて、ガラス基板、プラスチック基板、サファイア基板等を用いてもよい。

【0149】微細分割フローティングゲート32は、通常のFG型のフローティングゲートを、その高さが例えば5.0 nm程度で、直径が例えば8 nmまでの微細なポリSiドットに加工したものである。本例におけるボトム絶縁膜31は、第1実施形態よりやや厚いが、通常のFG型に比べると格段に薄く形成され、使用用途に応じて2.5 nmから4.0 nmまでの範囲内で適宜選択できる。ここでは、最も薄い2.5 nmの膜厚とした。

【0150】このような構成のメモリトランジスタの製造では、SOI基板上にボトム絶縁膜31を成膜した後、例えばLP-CVD法で、ボトム絶縁膜31の上にポリシリコン膜（最終膜厚：5 nm）を成膜する。このLP-CVDでは、原料ガスがDCSとアンモニアの混合ガス、基板温度が例えば650℃とする。つぎに、例えば電子ビーム露光法を用いて、ポリシリコン膜を直径

が例えば8 nmまでの微細なポリSiドットに加工する。このポリSiドットは、微細分割型フローティングゲート32（電荷蓄積手段）として機能する。その後、微細分割型フローティングゲート32を埋め込むように、酸化膜33を、例えば9 nmほどLP-CVDにより成膜する。このLP-CVDでは、原料ガスがDCSとN<sub>2</sub>Oの混合ガス、基板温度が例えば700℃とする。この時、微細分割型フローティングゲート32は酸化膜33に埋め込まれ、酸化膜33表面が平坦化される。平坦化が不十分な場合は、新たに平坦化プロセス（例えばCMP等）を行うとよい。その後、ワード線WLとなる導電膜を成膜し、ゲート積層膜を一括してパターンニングする工程を経て、当該微細分割FG型メモリトランジスタを完成させる。

【0151】このようにSOI基板を用い、フローティングゲートが微細に分割されることについては、素子を試作して特性を評価した結果、予想通りの良好な特性が得られることを確認した。

#### 【0152】変形例

以上述べてきた第1～第11実施形態において、さらに種々の変形が可能である。

【0153】上記した実施形態では、消去をFNTトンネリングまたは直接トンネリングを用いたがチャネルホットホール注入を用いて、局所的に蓄積されている電子を消去することも可能である。

【0154】とくに図示しないDINOR型など、他のNOR型セルに対し本発明が適用できる。

【0155】本発明における“平面的に離散化された電荷蓄積手段”は、窒化膜バルクのキャリアトラップおよび酸化膜と窒化膜界面付近に形成されたキャリアトラップを含むことから、ゲート絶縁膜がNO（Nitride-Oxide）膜なるMNOS型であっても本発明が適用できる。

【0156】本発明は、スタンドアロン型の不揮発性メモリのほか、ロジック回路と同一基板上に集積化したエンベデッド型の不揮発性メモリに対しても適用可能である。

#### 【0157】

【発明の効果】本発明に係る不揮発性半導体記憶装置およびその動作方法によれば、書き込み時に、たとえばバンド間トンネル電流に起因したホットエレクトロンによって、効率よく、しかも高速に平面的に離散化された電荷蓄積手段に電荷を注入することができる。この書き込みはチャンネルを形成せずに行うため、従来のCHE注入のようにバンチスルーの発生が要因でゲート長を短くできないという不利益は解消する。むしろ、この書き込みでは、ゲート長を短くすればするだけ大きなしきい値電圧変化が得られ、より高速書き込みが可能となる。

【0158】一方、2ビット／セル記憶の場合は、電荷注入箇所が局所的で過剰書き込みが防止でき、また高温での電荷拡散が防止でき、信頼性が高い。また、チャネ



ルを形成しないで書き込みを行うため、いわゆるAND型、仮想接地型などの各種NOR型メモリセルアレイにおいて、ページ書き込みが低電流で、かつ1回の動作サイクルで完了する。このため、1kB以上の並列書き込みが可能になり、書き込みバンド幅がCHE注入に比較して格段に向上する。

【0159】以上より、本発明によって、スケール性に優れた高速で、大容量の不揮発性半導体記憶装置を実現することができる。

【図面の簡単な説明】

【図1】第1実施形態に係る不揮発性メモリ装置のメモリセルアレイ構成を示す回路図である。

【図2】第1実施形態に係るNOR型メモリセルアレイの平面図である。

【図3】第1実施形態に係るNOR型メモリセルアレイについて、図2のB-B'線に沿った断面側から見た鳥瞰図である。

【図4】第1実施形態に係るメモリトランジスタのワード方向の拡大断面図である。

【図5】第1実施形態に係るメモリトランジスタの書き込み時のバイアス条件を示す回路図である。

【図6】第1実施形態に係るメモリトランジスタの読み出し時のバイアス条件を示す回路図である。

【図7】第1実施形態に係るメモリトランジスタの消去時のバイアス条件を示す回路図である。

【図8】第1実施形態に係るメモリトランジスタの書き込み動作を示すワード方向の拡大断面図である。

【図9】第1実施形態に係るメモリトランジスタの消去動作を示すワード方向の拡大断面図である。

【図10】第2実施形態に係るメモリトランジスタの片側書き込み（1ビット書き込み）状態を示す断面図である。

【図11】第2実施形態に係るメモリトランジスタの両側書き込み（2ビット書き込み）状態を示す断面図である。

【図12】第3実施形態に係る不揮発性メモリ装置のメモリセルアレイ構成を示す回路図である。

【図13】第3実施形態に係る分離ソース線NOR型メモリセルアレイの平面図である。

【図14】第3実施形態に係る分離ソース線NOR型メモリセルアレイについて、図13のA-A'線に沿った断面側から見た鳥瞰図である。

【図15】第4実施形態に係る分離ソース線NOR型メモリセルアレイの平面図である。

【図16】第5実施形態に係る不揮発性メモリ装置のメモリセルアレイ構成を示す回路図である。

【図17】第5実施形態に係る共通ソース線NOR型メ

モリセルアレイの平面図である。

【図18】第6実施形態に係る共通ソース線NOR型メモリセルアレイの平面図である。

【図19】第7実施形態に係る分離ソース線NOR型メモリセルアレイを4セル分示す回路図である。

【図20】第7実施形態に係るメモリトランジスタの構造を示す断面図である。

【図21】(A)は第7実施形態に係るメモリセルアレイの書き込み時のバイアス設定条件を示す回路図、

(B)は書き込み動作を示す素子断面図である。

【図22】(A)、(B)は、第7実施形態に係るメモリセルアレイの読み出し時のバイアス設定条件を示す回路図である。

【図23】(A)は第7実施形態に係るメモリセルアレイの消去時のバイアス設定条件を示す回路図、(B)は消去動作を示す素子断面図である。

【図24】第8実施形態に係る仮想接地NOR型メモリセルアレイの構成を示す等価回路図である。

【図25】第8実施形態に係るメモリトランジスタの構造を示す断面図である。

【図26】第9実施形態に係る仮想接地NOR型メモリセルアレイの構成を示す等価回路図である。

【図27】(A)は第9実施形態に係るメモリセルの第1の構造例を示す断面図、(B)は第2の構造例を示す断面図である。

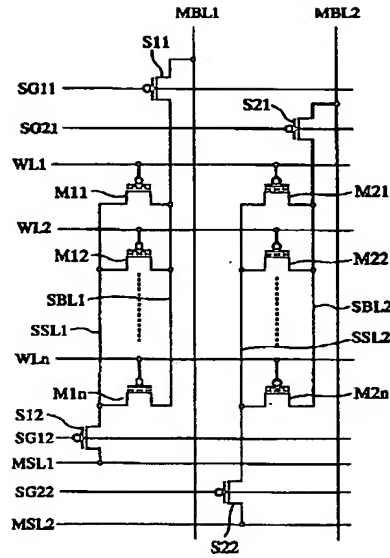
【図28】第10実施形態に係るSiナノ結晶型メモリトランジスタのワード方向の断面図である。

【図29】第11実施形態に係る微細分割FG型メモリトランジスタのワード方向の断面図である。

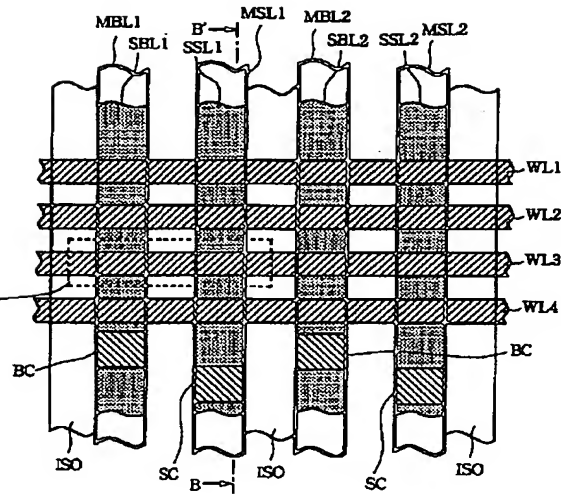
【符号の説明】

10、14、16a、16b、17、20、30…ゲート絶縁膜、11、11a、11b、21、31…ボトム絶縁膜、12、12、12b…窒化膜、13、13、13b…トップ絶縁膜、15、15a、15b、18…ゲート電極、22…Siナノ結晶、23、33…酸化膜、32…微細分割型フローティングゲート、34…分離酸化膜、35…シリコン層、SUB…半導体基板、W…nウェル、S…ソース不純物領域、D…ドレイン不純物領域、ISO…素子分離絶縁層、M11等…メモリトランジスタ、S11等…セレクトトランジスタ、BL1等…ビット線、MBL1等…主ビット線、SBL1等…副ビット線、SL1等…ソース線、MSL1等…主ソース線、SSL1等…副ソース線、WL1等…ワード線、SG11等…選択線、CG…コントロールゲート、CL…コントロール線、BC…ビットコンタクト、SC…ソースコンタクト。

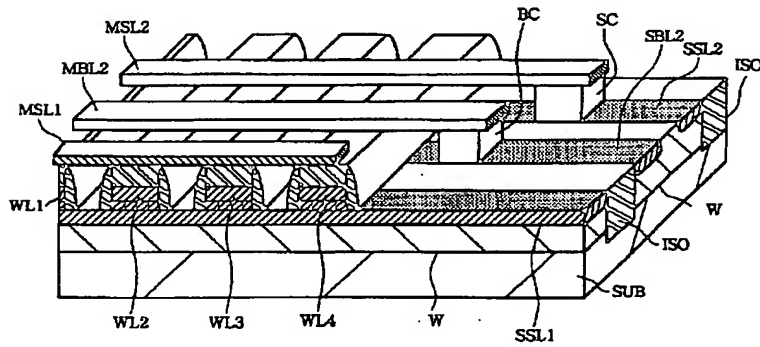
【図1】



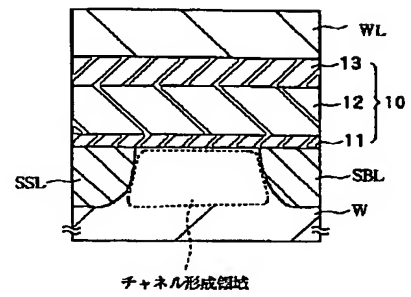
【図2】



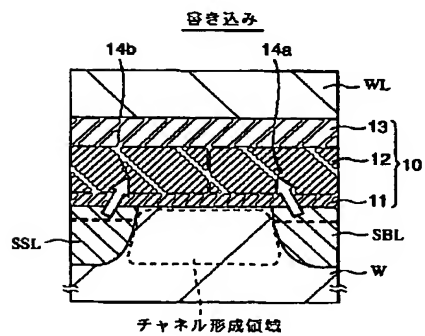
【図3】



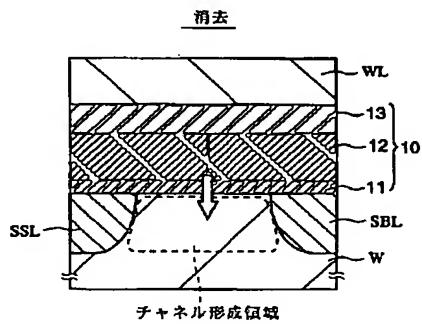
【図4】



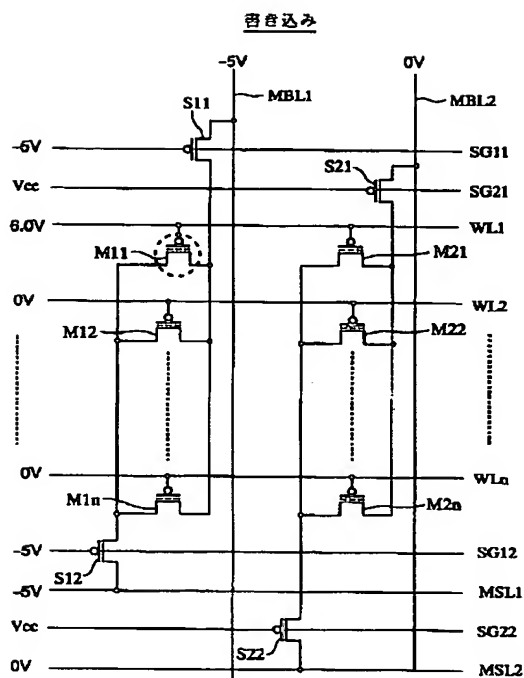
【図8】



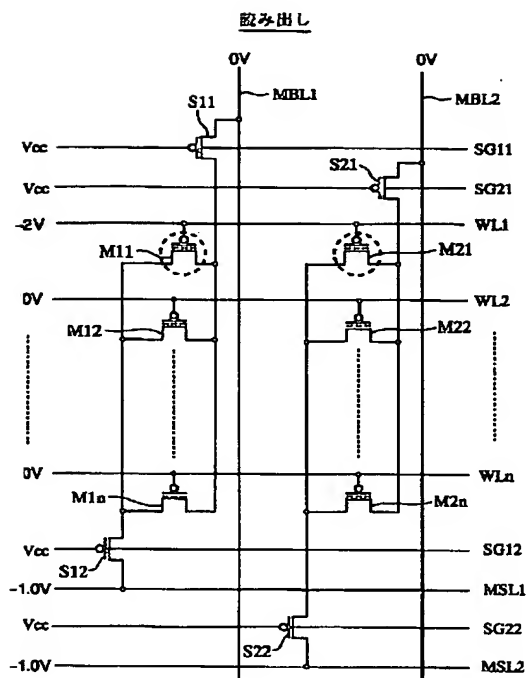
【図9】



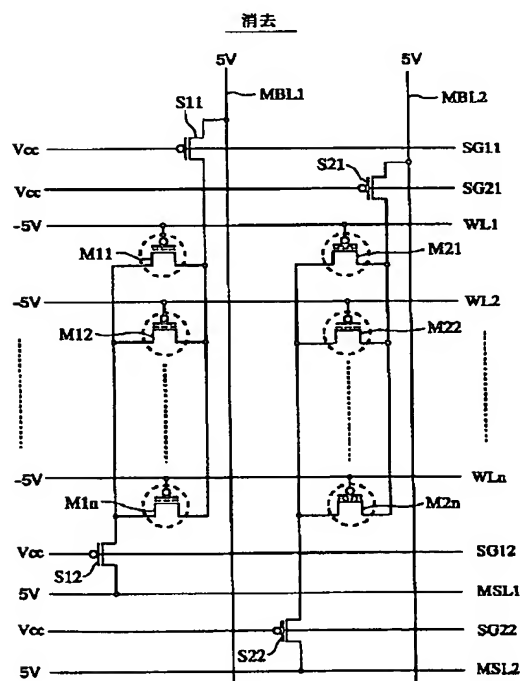
【図5】



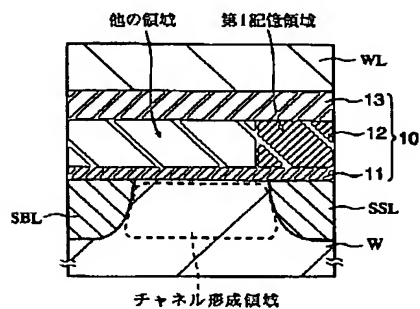
【図6】



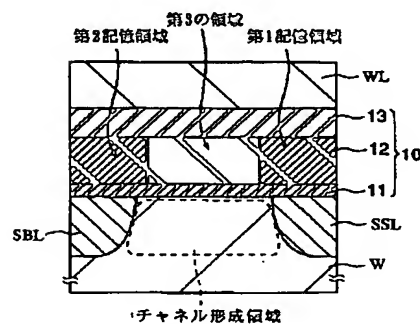
【図7】



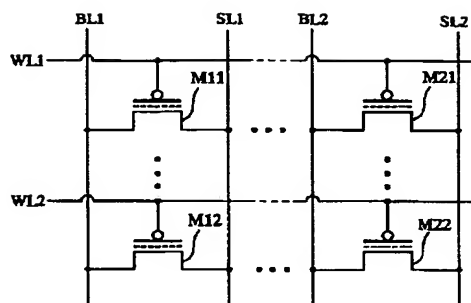
【図10】



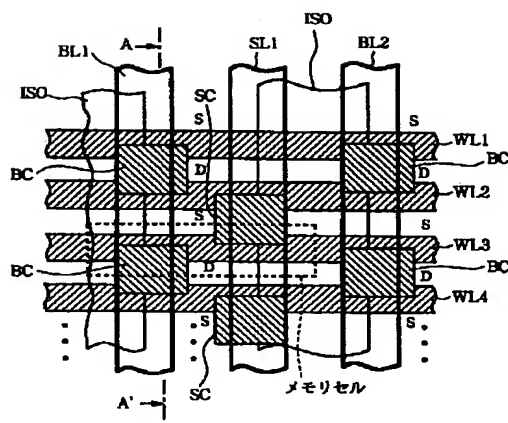
【図11】



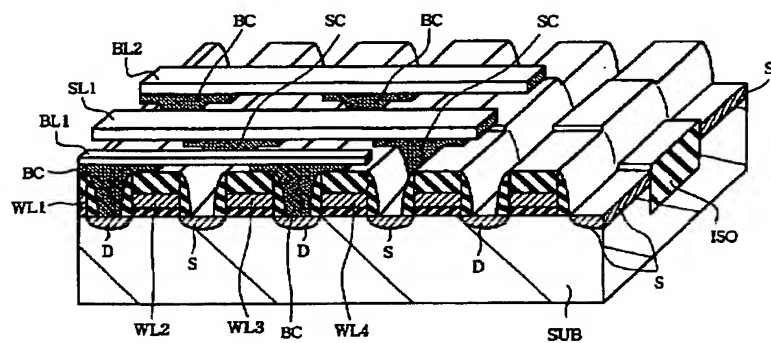
【図12】



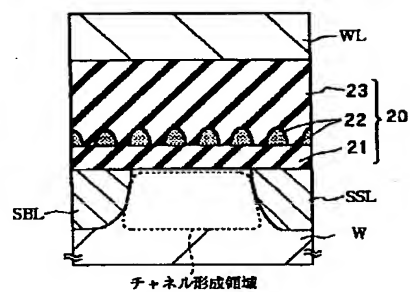
【図13】



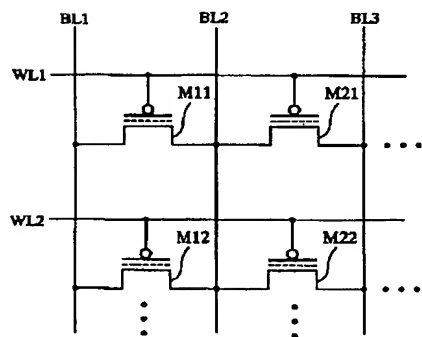
【図14】



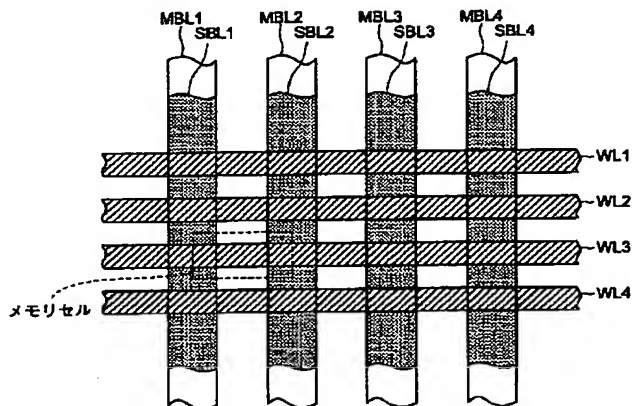
【図28】



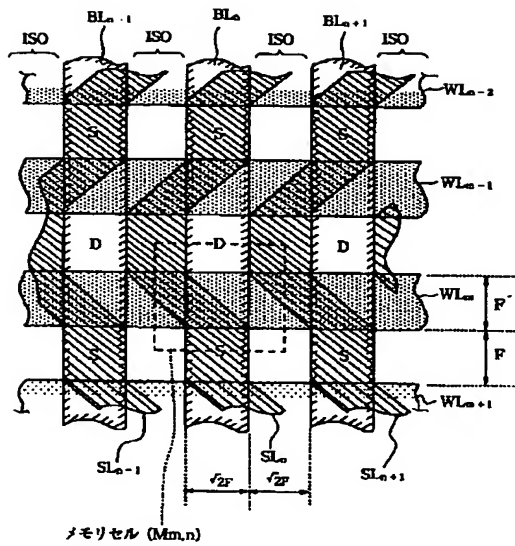
【図16】



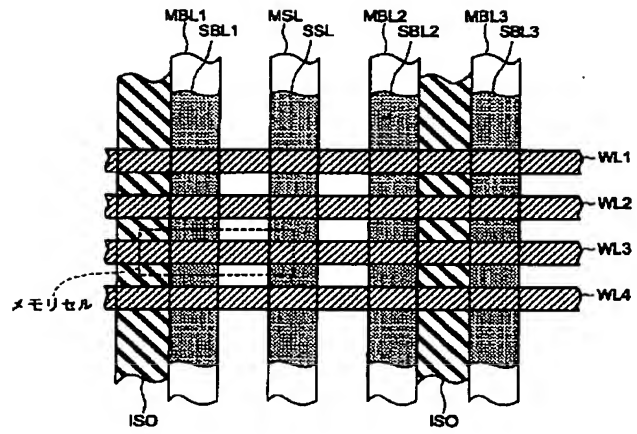
【図17】



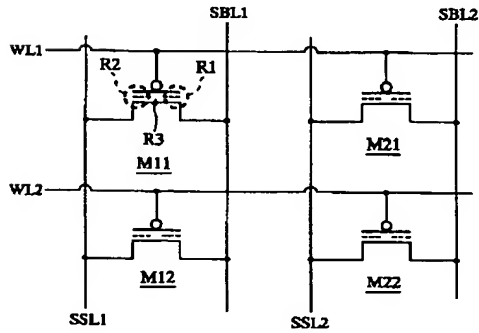
【図15】



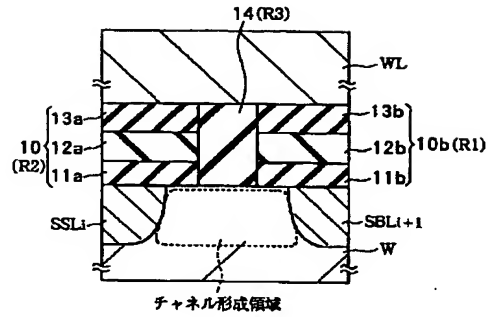
【図18】



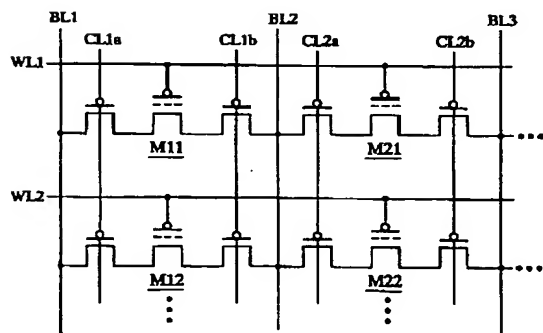
【図19】



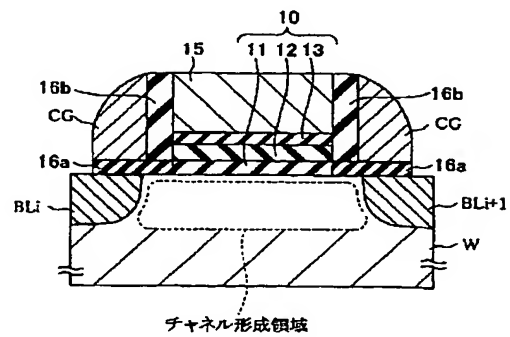
【図20】



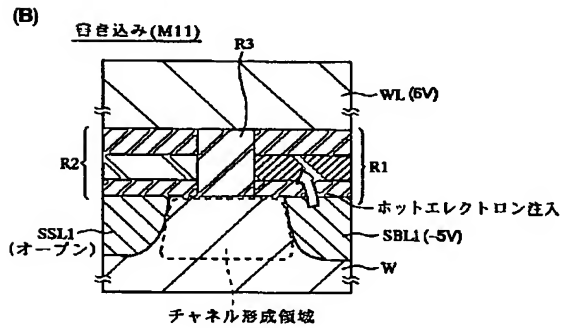
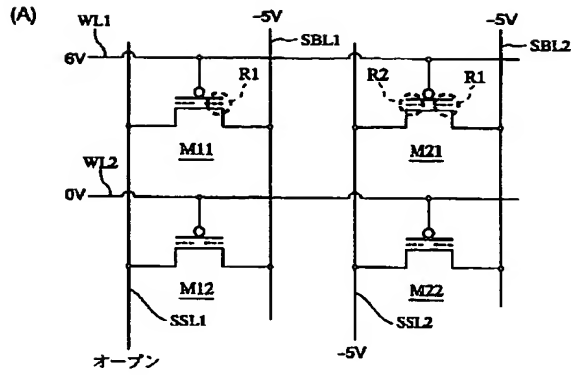
【図24】



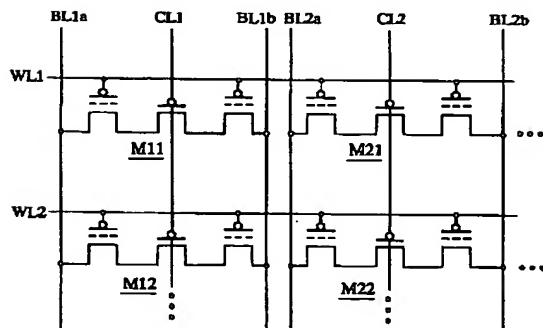
【図25】



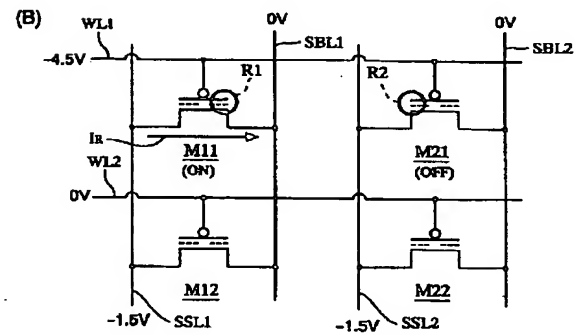
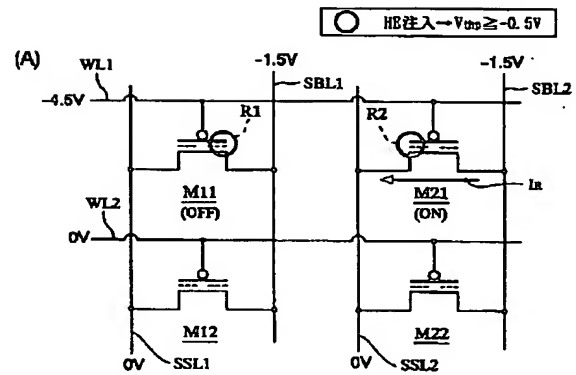
【図21】



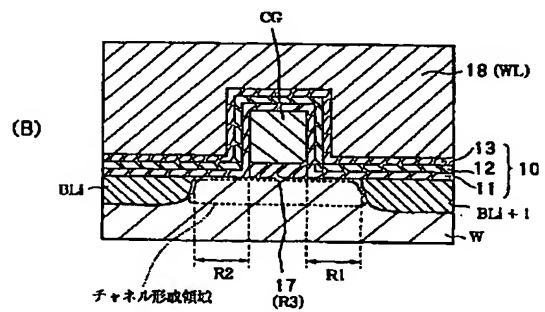
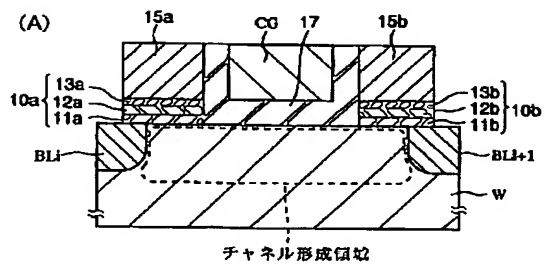
【図26】



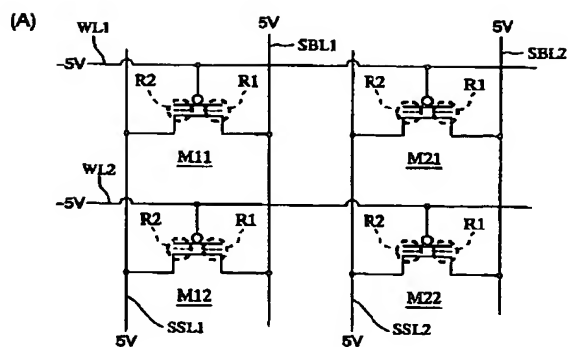
【図22】



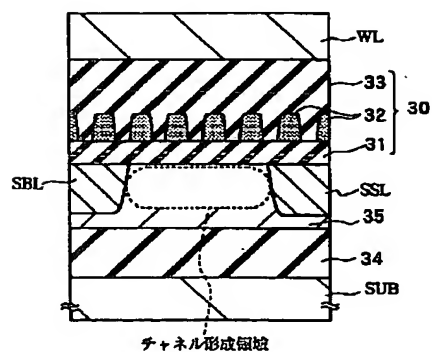
【図27】



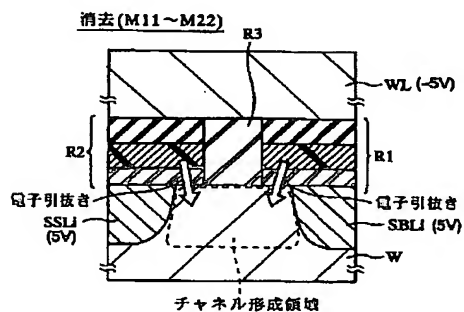
【図23】



【図29】



(B)



フロントページの続き

F ターム(参考) 5B025 AA04 AB01 AC01 AE05 AE08  
 5F001 AA13 AA14 AA19 AA34 AB20  
 AD07 AD52 AD60 AD61 AD62  
 AD70 AE02 AE03 AF20  
 5F083 EP07 EP17 EP18 EP22 EP28  
 EP77 ER02 ER05 ER06 ER19  
 ER22 ER29 HA02 JA04 JA35  
 JA39 JA53 KA01 KA06 KA08  
 KA12 LA01 LA16 LA20 MA03  
 MA06 MA19 MA20 NA01 NA02  
 PR40 ZA12 ZA21